



DEMANDE INTERNATIONALE PUBLIEE EN VERTU DU TRAITE DE COOPERATION EN MATIERE DE BREVETS (PCT)

(51) Classification internationale des brevets ⁷ : H01L 45/00		A1	(11) Numéro de publication internationale: WO 00/59051 (43) Date de publication internationale: 5 octobre 2000 (05.10.00)
<p>(21) Numéro de la demande internationale: PCT/FR00/00648</p> <p>(22) Date de dépôt international: 16 mars 2000 (16.03.00)</p> <p>(30) Données relatives à la priorité: 99/04227 31 mars 1999 (31.03.99) FR</p> <p>(71) Déposant (<i>pour tous les Etats désignés sauf US</i>): UNIVERSITE LOUIS PASTEUR (ETABLISSEMENT PUBLIC A CARACTERE SCIENTIFIQUE, CULTUREL ET PROFESSIONNEL) [FR/FR]; 4, rue Blaise-Pascal, F-67000 Strasbourg (FR).</p> <p>(72) Inventeurs; et</p> <p>(75) Inventeurs/Déposants (<i>US seulement</i>): OUNADJELA, Kamel [FR/FR]; 22, avenue Pasteur, F-94250 Gentilly (FR). HEHN, Michel [FR/FR]; 4, rue Charles Oudille, F-54600 Villers-les-Nancy (FR).</p> <p>(74) Mandataire: CABINET NUSS; 10, rue Jacques Kablé, F-67080 Strasbourg Cedex (FR).</p>		<p>(81) Etats désignés: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM; TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, brevet ARIPO (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).</p> <p>Publiée <i>Avec rapport de recherche internationale.</i></p>	
<p>(54) Title: MICROELECTRONIC DEVICE WITH TUNNEL JUNCTIONS, MEMORY NETWORK SENSOR COMPRISING SUCH DEVICES</p> <p>(54) Titre: DISPOSITIF MICROELECTRONIQUE A JONCTIONS TUNNEL ET RESEAU DE MEMOIRES ET CAPTEUR COMPRENNANT DE TELS DISPOSITIFS</p> <p>(57) Abstract</p> <p>The present invention relates to a microelectronic device with tunnel junctions in addition to a memory network and a sensor comprising such devices. The microelectronic device has three electric connection terminals and is formed by stacking two magnetoresistive tunnel junctions, whereby each junction consists of two conducting electrodes (1,3; 3,5) separated by a layer of insulating material (2 or 4) forming a tunnel barrier. Said stack has a median electrode (3) that is common to both junctions. The inventive device is characterized in that it comprises one electrode (1,3 or 5) made from a magnetic or semi-magnetic material and at least one second electrode (1,3 or 5) made from a magnetic or semi-magnetic material or at least one tunnel barrier (2 or 4) in the form of a tunnel barrier that filters electron spins, whereby each electrode (1,3,5) made from a magnetic material or semi-magnetic material has its own coercitive field.</p>			

(57) Abrégé

La présente invention a pour objet un dispositif microélectronique à jonctions tunnel, ainsi qu'un réseau de mémoires et un capteur comprenant de tels dispositifs. Dispositif microélectronique à trois bornes de connexion électrique, formé d'un empilement de deux jonctions tunnel magnéto-résistives dont chacune est composée de deux électrodes conductrices (1; 3; 3; 5) séparées par une couche en un matériau isolant (2 ou 4) formant barrière tunnel, ledit empilement présentant une électrode médiane (3) commune aux deux jonctions, caractérisé en ce qu'il comprend, d'une part, une électrode (1, 3 ou 5) réalisée en un matériau magnétique ou demi-métallique, et, d'autre part, soit au moins une seconde électrode (1, 3 ou 5) réalisée en un matériau magnétique ou demi-métallique, soit au moins une barrière tunnel (2 ou 4) sous forme de barrière tunnel filtrant les spins des électrons, chaque électrode (1, 3, 5) en un matériau magnétique ou demi-métallique possédant son propre champ coercitif.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publient des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lithuanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkméistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KR	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizstan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LJ	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		

Dispositif microélectronique à jonctions tunnel et réseau de mémoires et capteur comprenant de tels dispositifs

La présente invention concerne le domaine des circuits électroniques, notamment des circuits intégrés, et a pour objet un dispositif microélectronique ou nanoélectronique, notamment du type transistor, à jonctions tunnel, ainsi que des mémoires ou des capteurs intégrant au moins 5 un tel dispositif.

La miniaturisation des dispositifs électroniques ainsi que l'augmentation de leur densité d'intégration n'ont cessé de s'accentuer depuis plusieurs années. Limitée dans un premier temps par les techniques de la micro-électronique, la réduction de la taille des composants devrait se 10 heurter dans les années à venir à une limite beaucoup plus fondamentale, incontournable, au delà de laquelle le fonctionnement des composants traditionnels devient obsolète. Cette limite, fixée par la mécanique quantique, est atteinte lorsque le libre parcours moyen des électrons est égal ou supérieur aux longueurs caractéristiques du dispositif. Ainsi, le 15 fonctionnement des transistors Si type MOSFET conventionnels, par exemple, sera perturbé lorsque la longueur des grilles deviendra inférieure à 50 nm.

Au lieu de contourner ces difficultés, ces effets quantiques ont été mis à profit dans un premier temps pour réaliser des circuits logiques à 20 haute densité d'intégration (par exemple dispositifs à blocage de Coulomb).

Pourtant, ces nouveaux dispositifs sont, d'une part, confrontés aux limites actuelles des techniques de lithographie qui ne permettent pas la fabrication de systèmes fonctionnant à température ambiante et, d'autre part, limités au seul stockage de l'information.

25 Afin de pourvoir réaliser les autres fonctions logiques nécessaires au développement d'une électronique sub-micronique, et contourner les limites de la résolution des techniques de lithographie de production de masse, les recherches se sont orientées vers des composants hybrides pour lesquels des métaux ont été intégrés dans les zones actives du 30 composant, autres que la polarisation d'une grille. Ainsi, la géométrie des composants a pu être modifiée et les effets quantiques ont pu être contournés, d'une part, l'électron ne se déplace alors plus dans le plan de l'hétéro-structure mais perpendiculairement à ce plan et, d'autre part, par

- 2 -

l'utilisation de matériaux métalliques, son libre parcours moyen est environ dix fois plus petit.

La nouvelle génération de transistors, issue de cette modification, est en général basée soit sur l'utilisation d'une diode tunnel Schottky Métal/Si dont la hauteur est modulée par l'application d'une tension de grille, soit par deux diodes Schottky Si/Métal/Métal/Si pour lesquelles la transmission est régulée par le rapport des tensions de polarisation de la diode Si/Métal et de l'ensemble Si/Si.

Néanmoins, les possibilités d'évolution de ce type de systèmes sont limitées, d'une part, par la nécessité d'utiliser un semi-conducteur composé d'un seul cristal et, d'autre part, par la gamme réduite de hauteur et largeur de barrière accessibles à l'interface Semi-conducteur/Métal.

En apparence, une partie de ces limitations a été levée en substituant le semi-conducteur par un isolant et en empilant deux diodes tunnel composées d'un seul cristal (cf S. Muratake et al, Electronics Letters 28, 1002 ; 1992). Des essais réalisés à basse température sur une structure de type Métal/Isolant/Métal/Isolant/Métal ont montré l'existence d'un effet transistor lié au transport tunnel d'électrons chauds d'une diode à l'autre.

Jusqu'à présent, ces réalisations ont toutefois été limitées par le contrôle de la croissance de couches isolantes dont l'épaisseur doit être de l'ordre de quelques nanomètres.

De plus, dans l'exemple cité ci-dessus, la barrière doit être composée d'un seul cristal pour conserver une hauteur de barrière importante, ce qui limite le nombre de métaux qui peuvent être utilisés comme électrodes et le nombre d'isolants qui peuvent être utilisés comme barrière.

Par ailleurs, depuis plusieurs années, une nouvelle catégorie de composants a vu le jour avec l'émergence d'une nouvelle discipline : l'électronique de spin. Issus de la recherche sur les couches minces métalliques, les systèmes à magnéto-résistance géante (MRG) ont suscité un vif intérêt dès leur découverte par les champs d'applications qu'ils ouvrent, notamment dans le domaine des têtes de lecture et du stockage de données. Réduit à sa plus simple expression, un tel système est constitué de deux couches minces métalliques ferromagnétiques séparées par une couche métallique non-magnétique. Selon l'orientation relative des aimantations des deux couches ferromagnétiques, la probabilité de transmission des électrons va dépendre de l'orientation de leur spin. Le passage d'une configuration

- 3 -

d'aimantation antiparallèle à parallèle, induite par l'application d'un champ magnétique externe, entraîne une variation de résistance (ou magnéto-résistance) de plus de 50 % à température ambiante.

L'utilisation du spin de l'électron est à l'origine de la mise au point de nouveaux dispositifs de type "transistor" dont le plus ancien, composé uniquement de couches métalliques, a été proposé par M. Johnson (Science 260, 320, 1993).

Toutefois, les possibilités d'application du "transistor tout métal" développé par M. Johnson sont réduites étant donné l'amplitude des signaux et l'impédance du système et son utilisation se limite essentiellement à de l'électronique logique.

Des types plus récents de transistors ont été développés à partir de deux diodes Schottky Si/ Métal/Métal/Si où la couche métallique a été remplacée par une multicoche (MC) magnéto-résistive (cf D.J. Monsma et al, Phys. Rev. Lett. 74, 5260 ; 1995). La transmission peut alors être régulée par le rapport des tensions de polarisation de la diode Si/MC et de l'ensemble Si/Si mais aussi par la modification de l'orientation relative des aimantations de chaque couche magnétique.

Les performances de ce type de structures semblent toutefois être très limitées. En effet, obtenir une croissance cristalline de semi-conducteurs sur un métal magnétique, nécessaire à l'obtention de barrières Schottky, est loin d'être contrôlée à ce jour.

Afin de s'affranchir de cette étape cruciale, la méthode de fabrication proposée par D.J. Monsma et al. consiste à coller sous ultravide deux substrats de Si recouvert chacun du dépôt d'une multicoche. Cette technique toutefois n'est pas adaptée à la production de masse et se transforme en contrainte majeure pour le développement d'un tel transistor.

D'autre part, afin de limiter tous les courants de fuite parasites pour permettre un taux de variation maximum (dépendant de la température et de la nature des matériaux de la multicoche), les mises en oeuvre et les essais ont été réalisés à 77K avec une multicoche Co/Cu, limitant ainsi le domaine de fonctionnement du transistor obtenu et maximisant la variation du signal. Les autres limitations formulées ci-dessus pour le transistor Si/Métal/Si sont également applicables pour ce dernier développement.

Enfin, on connaît également les Jonctions Tunnel Magnéto-Résistives (JTMR).

- 4 -

Sous sa forme la plus simplifiée, une JTMR est constituée de deux électrodes ferromagnétiques ayant des champs coercitifs différents séparées par une barrière isolante (voir notamment US-A-5 640 343 et US-A-5 650 958). Son fonctionnement profite de l'asymétrie de la densité d'états des bandes d'énergie des électrons de spin +1/2 et de spin -1/2 d'un matériau ferromagnétique. En négligeant la diffusion de spins, la probabilité tunnel d'un électron polarisé dépend de l'orientation relative des aimantations des couches. Dans la configuration parallèle, il y a un accord maximum entre le nombre d'états occupés dans une électrode et le nombre d'états disponibles dans l'autre ; le courant tunnel est donc maximum. Au contraire, dans la configuration antiparallèle, l'effet tunnel se passe entre états majoritaires dans une électrode et états minoritaires dans l'autre. Ce désaccord implique un minimum de courant et donc un maximum de résistance. Cette nouvelle technologie hybride, associant les matériaux métalliques aux matériaux isolants, permet d'accroître les performances des jonctions tout en conservant une magnétorésistance élevée et ajustable (60 % pour des électrodes de CoFe) dépendante de l'orientation relative de l'aimantation des deux électrodes.

Le processus de transport dans de telles jonctions s'enrichit du transport tunnel qui permet d'augmenter la résistance de l'élément, variant de quelques ohms à quelques MΩ, et donc les signaux mesurés peuvent atteindre quelques dixièmes de Volt. Etant donné que la probabilité de transmission tunnel dans une jonction tunnel dépend exponentiellement de la hauteur et de la largeur de la diode tunnel, un petit changement de la forme de la barrière, induit par une légère modification de la tension de polarisation, peut entraîner une grosse modification du courant transmis.

Toutefois, les réalisations proposées à ce jour sur la base des jonctions tunnel magnéto-résistives ne concernent que des composants à deux bornes tels que notamment des diodes, des capteurs de champ magnétique ou des cellules mémoires, applications dans lesquelles elles sont substituées aux structures actuelles sans toutefois apporter de modification constitutive avantageuse.

La présente invention a notamment pour but de pallier les inconvénients précités.

A cet effet, elle a pour principal objet un dispositif microélectronique à trois bornes de connexion électrique, formé d'un empilement de deux jonctions tunnel magnéto-résistives dont chacune est

- 5 -

composée de deux électrodes conductrices séparées par une couche en un matériau isolant formant barrière tunnel, ledit empilement présentant une électrode médiane commune aux deux jonctions, caractérisé en ce qu'il comprend, d'une part, une électrode réalisée en un matériau magnétique ou 5 demi-métallique (matériau dont la polarisation magnétique est égale à 100 %) et, d'autre part, soit au moins une seconde électrode réalisée en un matériau magnétique ou demi-métallique, soit au moins une barrière tunnel sous forme de barrière tunnel filtrant les spins des électrons, chaque électrode en un matériau magnétique ou demi-métallique possédant son 10 propre champ coercitif.

La présente invention a également pour objet un transistor se présentant sous la forme d'un dispositif microélectronique tel que décrit ci-dessus, dont le gain est contrôlé par l'intermédiaire des tensions de polarisation appliquées à ses différentes électrodes et/ou par l'intermédiaire 15 des orientations des aimantations respectives de chaque électrode magnétique ou demi-métallique.

La présente invention concerne, en outre, une cellule mémoire élémentaire pouvant avoir deux ou plusieurs états magnétiques, caractérisée en ce qu'elle est constituée par un dispositif microélectronique, l'information 20 étant stockée sous forme d'orientations déterminées des aimantations des électrodes 1, 3, 5 en un matériau magnétique ou demi-métallique ou sous forme d'orientations déterminées des aimantations des électrodes 1, 3 ou 5 par rapport à une barrière filtre de spin.

Enfin, la présente invention a aussi pour objet un réseau de 25 mémoires élémentaires, caractérisé en ce qu'il est constitué par un ensemble de cellules mémoires élémentaires du type précité reliées entre elles et à des circuits de commande extérieurs 6, 7, 8 au moyen d'un réseau de lignes de transmission 6', 7', 8' permettant d'appliquer une polarisation particulière à chacune des électrodes 1, 3, 5 de chacune des cellules mémoires élémentaires pour lire les informations stockées dans chacune d'elles.

L'invention sera mieux comprise, grâce à la description ci-après, qui se rapporte à des modes de réalisation préférés, donnés à titre d'exemple non limitatif, et expliqués avec référence aux dessins schématiques annexés, dans lesquels :

35 la figure 1 est une représentation schématique d'un dispositif microélectronique selon l'invention utilisé comme transistor magnétique à jonctions tunnel dans un montage en émetteur commun ;

- 6 -

la figure 2 est une représentation schématique du profil de potentiel vu par les électrons à l'intérieur du dispositif de la figure 1 lorsqu'il est soumis aux connexions électriques pour un mode de fonctionnement en émetteur commun ;

5 les figures 3A et 3B sont des représentations schématiques du dispositif de la figure 1 et du profil de potentiel et de la structure de bandes simplifiée correspondants vus par les électrons à l'intérieur du transistor lorsque les électrodes de la diode tunnel base / collecteur sont composées d'un matériau demi-métallique dont la polarisation est de 100 %, les figures
10 10 montrant l'évolution de la structure de bandes en fonction de l'orientation relative des aimantations des deux électrodes (base, collecteur) pour une configuration respectivement parallèle (figure 3A) et anti parallèle (figure 3B) ;

15 les figures 4A et 4B sont des représentations schématiques du dispositif de la figure 1 et du profil de potentiel et de la structure de bandes simplifiée correspondant vus par les électrons à l'intérieur du transistor lorsque les électrodes de la diode tunnel émetteur / base sont composées d'un matériau demi-métallique dont la polarisation est de 100 %, les figures montrant l'évolution de la structure de bandes en fonction de l'orientation
20 relative des aimantations des deux électrodes (émetteur, base) pour une configuration respectivement parallèle (figure 4A) et anti parallèle (figure 4b) ;

25 les figures 5A et 5B sont des représentations schématiques du dispositif de la figure 1 et du profil de potentiel et de la structure de bandes simplifiée correspondants vus par les électrons à l'intérieur du transistor lorsque les électrodes émetteur et collecteur du transistor sont composées d'un matériau demi-métallique dont la polarisation est de 100 %, les figures montrant l'évolution de la structure de bandes en fonction de l'orientation relative des aimantations des deux électrodes (émetteur, collecteur) pour
30 une configuration respectivement parallèle (figure 5A) et anti parallèle (figure 5B) ;

la figure 6A est une représentation schématique d'une matrice de mémoires magnétiques à accès aléatoire composée de dispositifs microélectroniques selon l'invention ;

35 la figure 6B est une vue schématique à une échelle différente du détail X de la figure 6A ;

- 7 -

la figure 6C représente le profil de potentiel d'une cellule mémoire de la figure 6A en attente de lecture d'information ;

la figure 7A est une représentation schématique d'une matrice de mémoire similaire à celle représentée sur la figure 6A dont les cellules ont été identifiées par numérotation ;

la figure 7B représente le profil de potentiel de la cellule mémoire 14 de la matrice représentée sur la figure 7A lors d'une opération de lecture de celle-ci ;

les figures 7C à 7E représentent les profils de potentiel des autres cellules mémoires de la matrice de la figure 7A lors de l'opération de lecture de la cellule 14 ;

la figure 8 représente la matrice de la figure 7A lors d'une opération d'écriture concernant la cellule référencée 14 ;

la figure 9 est une vue en élévation latérale d'une structure multicouche constituant le point de départ pour la réalisation d'un dispositif microélectronique selon l'invention, et,

les figures 10A à 10E représentent les étapes successives de lithographie et de gravure opérées sur la structure multicouche de la figure 9 pour aboutir à un dispositif microélectronique selon l'invention, chacune desdites figures 10A à 10E comprenant une vue de dessus et une vue en élévation latérale, et, la figure 10F est une vue de dessus au travers du masque utilisé pour l'étape en cours dont le motif est représenté en hachures du dispositif représenté sur la figure 10E après dépôt des connexions électriques au niveau des électrodes.

Conformément à l'invention, et comme le montrent notamment les figures 1 à 6, 9 et 10 des dessins annexés, le dispositif microélectronique à trois bornes de connexion électrique est formé d'un empilement de deux jonctions tunnel magnéto-résistives dont chacune est composée de deux électrodes conductrices 1, 3 ; 3, 5 séparées par une couche en un matériau isolant formant barrière tunnel, ledit empilement présentant une électrode médiane 3 commune aux deux jonctions. Ce dispositif est caractérisé en ce qu'il comprend, d'une part, une électrode 1, 3 ou 5 réalisée en un matériau magnétique ou demi-métallique et, d'autre part, soit au moins une seconde électrode 1, 3 ou 5 réalisée en un matériau magnétique ou demi-métallique, soit au moins une barrière tunnel 2 ou 4 sous forme de barrière tunnel filtrant les spins des électrons, chaque électrode 1, 3, 5 en un matériau magnétique ou demi-métallique possédant son propre champ coercitif.

- 8 -

Les électrodes 1, 3 et 5 peuvent être constituées d'un matériau conducteur dont la qualité cristalline est quelconque (cristallin, texturé ou amorphe), la première électrode 1 (inférieure dans la structure d'empilement) étant déposée directement sur un substrat ou une couche tampon, éventuellement multicouche, de qualité cristalline quelconque, la seconde électrode 3 (médiane) étant déposée sur la première couche isolante 2 formant barrière tunnel directement en contact avec cette dernière et la troisième électrode 5 (supérieure dans la structure d'empilement) étant déposée sur la seconde couche isolante 4 formant barrière tunnel, directement en contact avec cette dernière.

Les première et seconde barrières tunnel 2 et 4 sont constituées de matériaux isolants dont les qualités cristallines respectives sont quelconques (cristalline, texturé ou amorphe) et sont déposées directement en contact sur les couches formant électrodes 1 et 3 correspondantes.

Ces couches 2 et 4 formant barrière peuvent être formées par dépôt d'un matériau isolant ou par dépôt d'un matériau conducteur rendu isolant par un traitement postérieur, le choix du matériau et du traitement dépendant des caractéristiques désirées pour la barrière isolante considérée (hauteur, largeur).

L'ensemble de la structure multicouche formant le dispositif microélectronique selon l'invention pourra être revêtue de couche(s) protectrice(s) contre les altérations chimiques et/ou mécaniques et pour préserver les propriétés des différentes couches lors des étapes de traitement ultérieures.

Selon un premier mode de réalisation de l'invention, autorisant notamment un fonctionnement du type transistor, l'électrode médiane 3 du dispositif microélectronique présente avantageusement une épaisseur inférieure ou égale à la valeur limite e_1 permettant aux électrons provenant de l'une des deux autres électrodes 1 ou 5 de transiter jusqu'à l'autre desdites deux autres électrodes 1 ou 5 en conservant une énergie supérieure à celle du niveau de Fermi de ladite électrode médiane 3.

Lorsque cette dernière disposition est vérifiée, les électrodes 1, 3 et/ou 5 peuvent être polarisées de manière à obtenir un fonctionnement du type transistor permettant l'amplification d'un courant injecté dans une des électrodes 1, 3, 5 par une source de courant artificielle formée par la polarisation de l'une des deux jonctions tunnel 1, 2, 3 ; 3, 4, 5, les conditions de fonctionnement étant également contrôlées par les orientations

- 9 -

respectives des aimantations des électrodes magnétiques ou demi-métallique 1, 3 et/ou 5.

Dans un fonctionnement en mode émetteur commun et pour des tensions d'électrodes données, le gain du transistor et le courant maximum 5 injecté sont contrôlés et, le cas échéant, préprogrammés de manière non volatile, par l'intermédiaire de l'orientation des aimantations des différentes électrodes magnétiques ou demi-métalliques 1, 3, 5 dans des conditions similaires ou inverses, parallèle ou anti-parallèle.

Le fonctionnement du transistor proposé ci-dessus repose sur le 10 mécanisme de transport des jonctions tunnel magnétiques. Un courant tunnel polarisé en spin, pompé d'une première diode tunnel par l'application d'une tension de polarisation à ses bornes, est injecté dans la seconde diode, séparé physiquement de la première par une fine couche métallique épaisse de quelques nanomètres inférieure ou égale à e_1 (électrode médiane 3). Les 15 électrons se comportent alors comme des "électrons chauds" dont l'énergie est fonction des tensions de polarisation de la première et/ou de la seconde diode. La transmission des électrons polarisés en spin de la première diode à la seconde, c'est-à-dire le gain du transistor, est contrôlable non seulement par les tensions de polarisation mais aussi par l'orientation relative des 20 aimantations de chaque électrode magnétique ou demi-métallique.

Les possibilités de réalisation de transistors offertes par l'association de jonctions tunnel en série, sont beaucoup plus étendues que celles proposées jusqu'à présent. En effet, dans de telles structures, les 25 différentes couches n'ont pas besoin d'être déposées épitaxialement, ce qui permet d'éviter les limitations liées à la croissance cristalline d'un métal sur un semi-conducteur ou vice versa. Il en résulte une possibilité de choix arbitraire du substrat (le silicium pourrait être parfaitement adapté, ce qui permet l'utilisation des technologies actuelles de microélectronique pour la 30 fabrication de masse) mais aussi celui des différents matériaux qui composent les électrodes des deux diodes tunnel et les barrières.

Dans le cadre de l'invention, la barrière Schottky, nécessitant l'utilisation d'un semi-conducteur composé d'un seul cristal, est remplacé par une barrière tunnel qui peut être composée de matériau polycristallins ou amorphe.

35 Le libre choix du matériau qui compose la barrière permet de modifier à volonté la hauteur de la barrière et d'ajuster la température maximale de fonctionnement d'un tel dispositif microélectronique. Cette

- 10 -

dernière ne sera plus limitée par la taille latérale de la partie active du composant comme c'est le cas dans d'autres dispositifs nano-électroniques. De plus, la combinaison d'un métal et d'un isolant est généralement considérée comme un bon candidat pour réaliser des dispositifs électroniques à réponse ultra rapide.

Les différentes possibilités de constitution du dispositif microélectronique décrites ci-dessus permettra, par conséquent, d'aboutir à différentes variantes de réalisation matérielles, dont certaines sont décrites ci-après en relation avec un fonctionnement en transistor.

Ainsi, selon une première variante de réalisation, l'électrode émettrice 1 de la jonction 1, 2, 3 est composée d'un conducteur non magnétique et les deux autres électrodes 3 et 5 de la jonction 3, 4, 5 sont composées d'un conducteur magnétique ou demi métallique ou d'une combinaison des deux de champs coercitifs différents. La sélection de spin s'opère alors dans la jonction 3, 4, 5 (figure 3).

Selon une deuxième variante de réalisation, l'électrode émettrice 1 de la jonction 1, 2, 3 ainsi que l'électrode collectrice 5 de la jonction 3, 4, 5 sont composées d'un conducteur magnétique ou demi métallique ou d'une combinaison des deux de champs coercitifs différents et l'électrode de base 3 est composée d'un conducteur non magnétique. La sélection de spin s'opère alors dans la jonction 3, 4, 5 (figure 5).

Selon une troisième variante de réalisation, les électrodes émettrice 1 et de base 3 de la jonction 1, 2, 3 sont composées d'un conducteur magnétique ou demi métallique ou d'une combinaison des deux de champs coercitifs différents et l'électrode collectrice 5 est composée d'un conducteur non magnétique. La sélection de spin s'opère alors dans la jonction 1, 2, 3 (figure 4).

Selon une quatrième variante de réalisation, les trois électrodes 1, 2, 3 sont composées d'un conducteur magnétique ou demi métallique ou d'une combinaison des deux de champs coercitifs différents. La sélection de spin s'opère alors dans les deux jonctions 1, 2, 3 et 3, 4, 5.

Selon une cinquième variante de réalisation, non représentée aux dessins annexés, il peut aussi être prévu qu'un couple d'électrodes d'une jonction donnée soit remplacé par un couple (barrière isolante filtre de spin / électrode composée d'un conducteur magnétique ou demi métallique), la barrière étant en contact avec une électrode conductrice. La sélection de

- 11 -

spin s'opère alors dans le couple barrière isolante filtre de spin / électrode composée d'un conducteur magnétique ou demi métallique.

Comme la figure 1 l'illustre, le transistor, formé d'un dispositif microélectronique selon l'invention, est composé de deux jonctions tunnel ou diodes tunnel empilées l'une sur l'autre (diode n° 1 = 1, 2, 3 et diode n° 2 = 3, 4, 5). Chaque diode est composée d'une paire d'électrodes conductrices, à savoir, (1, 3) pour la diode n° 1 et (3, 5) pour la diode n° 2, chaque paire d'électrodes étant séparées par une barrière isolante (2 pour la diode n° 1 et 4 pour la diode n° 2).

Selon le type de transistor et la structure souhaités, au moins deux électrodes (1 et 5 ou 3 et 5 ou 1, 3 et 5) sont composées de matériaux conducteurs permettant la polarisation en spin des électrons lors de leur passage au travers desdites électrodes (matériau magnétique ou demi-métallique) et possédant leur propre champ coercitif. Les barrières 2 et 4, quant à elles, sont composées d'un matériau isolant qui éventuellement peut se comporter comme un filtre de spin (dans ce cas seul une électrode polarisante en spin est nécessaire). Un des paramètres essentiels pour le fonctionnement du transistor concerne l'épaisseur de l'électrode 3 qui doit être suffisamment fine (d'épaisseur inférieure ou égale à e_f) pour permettre aux électrons émis par la première barrière de rester chauds (les électrons chauds sont sensibles aux densités d'états au dessus du niveau de Fermi).

Des contacts électriques 6', 7' et 8' sont pris sur les électrodes (1, 5 et 3 respectivement) afin de pouvoir appliquer une différence de potentiels entre les électrodes 1 et 3 (générateur de tension 10) et les électrodes 1 et 5 (générateur de tension 11) mais aussi pour connecter le transistor et l'insérer dans un circuit électronique. Aux fins de mesures, des indicateurs de courant 9 et 12 peuvent être insérés dans le circuit afin de mesurer les courants électriques et déterminer les coefficients d'amplification du transistor.

En outre, la figure 1 montre également, de manière schématique, des moyens 13 permettant de modifier l'état magnétique de chaque électrode 1, 3, 5 magnétique à l'aide soit d'un champ magnétique externe, soit d'un champ magnétique créé par le passage d'un courant dans un réseau de fils intégré sur le transistor. La sélection de l'électrode à modifier se fait à l'aide de son champ coercitif particulier. Cette modification entraîne la variation de l'impédance de la ou des jonctions 2, 4 dont les électrodes sont composées d'un matériau à propriétés magnétiques.

- 12 -

On décrira à présent, à titre d'exemples illustratifs et sur la base des figures 2 à 5, différentes possibilités de mises en oeuvre du dispositif microélectronique selon l'invention en tant que transistor dans un mode de fonctionnement en émetteur commun et ou commutation.

5 La figure 2 présente le profil de potentiel vu par les électrons à l'intérieur de la structure lorsqu'elle est soumise aux différences de potentiels 10 et 11 autour du point de fonctionnement en l'absence de champ magnétique particulier au niveau des électrodes. Ce point de fonctionnement sera choisi en fonction des hauteurs et largeurs des deux
10 barrières 2 et 4 tunnel, donc des matériaux utilisés pour la réalisation de ces barrières. Sur la figure 2, on peut reconnaître les barrières de potentiel liées à la présence des couches isolantes 2 et 4. La diode émetteur/base 1, 2 et 3 est polarisée en directe à l'aide de 10. Elle se comporte comme une source de courant dont le débit est contrôlé par 10, 13 ainsi que les paramètres
15 intrinsèques de la jonction à savoir sa hauteur et sa largeur. La diode base/collecteur 3, 4 et 5 est faiblement polarisée en inverse à l'aide de 11 afin de limiter le courant I_b qui passe de 3 vers 5 et de 5 vers 3.

Si l'épaisseur de la base 3 est assez fine (de l'ordre de quelques nanomètres), les électrons issus de la jonction émetteur/base 1, 2 et 3 conservent leur énergie au passage de la base. A l'entrée de la jonction base/collecteur 3, 4 et 5, leur énergie, par rapport au niveau de Fermi de la base 3, est égale à $e \times V_{eb}$ et ces électrons énergétiques sont généralement désignés par "électrons chauds". Le potentiel moyen qu'ils rencontrent lors du passage de la diode base/collecteur 3, 4 et 5 sera donc réduit de la quantité $e \times V_{eb}$ par rapport aux électrons issus soit de la base 3 directement, soit du collecteur 5. Ce potentiel moyen, égal à $\Phi_{bc} - (e/2) \times (V_{ec} + V_{eb})$ [Φ_{bc} correspondant à la hauteur de barrière intrinsèque de la seconde jonction tunnel] est petit et permet une grande transmission par rapport à celle des électrons injectés dans la base qui eux voient une hauteur de barrière moyenne supérieure à $\Phi_{bc} + (e/2) \times (V_{eb} - V_{ec})$. Or, une variation du courant de base I_b entraîne une variation de la tension V_{ec} . Pour une tension V_{eb} fixée, la transmission des électrons chauds va fortement changer car elle varie exponentiellement avec $\Phi_{bc} - (e/2) \times V_{ec}$. Le courant I_b restant toujours faible, une faible variation de I_b entraîne une forte variation de la transmission des électrons chauds et donc une grande variation du courant I_c , injecté dans le collecteur 5. Ainsi, le courant de base I_b est amplifié, le coefficient d'amplification dépend des caractéristiques des

- 13 -

deux jonctions tunnel 2 et 4 et pour une paire de jonctions donnée, il dépend du point de fonctionnement c'est-à-dire des tensions de polarisation.

Conformément à un deuxième mode de réalisation de l'invention, les électrodes 1, 3 et 5 du dispositif microélectronique peuvent être polarisées de manière à obtenir un fonctionnement en commutation, l'électrode médiane 3 présentant éventuellement une épaisseur supérieure à la valeur d'épaisseur limite e_1 permettant aux électrons provenant de l'une des deux autres électrodes 1 ou 5 de transiter jusqu'à l'autre desdites deux autres électrodes 1 ou 5 en conservant une énergie supérieure à celle du niveau de Fermi de ladite électrode médiane 3.

En effet, le fonctionnement du transistor non magnétique en commutation est rendu possible par la polarisation sélective des trois électrodes 1, 3, 5 du dispositif. Dans cette application particulière, les électrons injectés dans la base peuvent y être thermalisés. Le relâchement de cette contrainte permet d'augmenter l'épaisseur de la couche 3 constituant la base et de réduire les problèmes technologiques liés à la prise de contact sur cette couche.

La mise en oeuvre d'un transistor en commutation consiste à permettre ou bloquer le passage d'une information. Il est possible, en jouant sur les polarisations des électrodes, de permettre la passage sélectif d'un signal injecté dans la base, soit dans l'émetteur, soit dans le collecteur.

Ce mode de fonctionnement est décrit plus en détail ci-après en regard de la figure 2.

Lorsque V_{eb} est placée à une polarisation positive $+V$ et V_{ec} à une polarisation $+2xV$, un signal injecté dans la base 3 (par exemple une impulsion de courant) est transmis uniquement dans le collecteur 5.

A l'inverse, lorsque V_{eb} est placée à une polarisation négative $-V$ et V_{ec} à une polarisation négative $-2xV$, un signal injecté dans la base 3 (par exemple une impulsion de courant) est transmis uniquement dans l'émetteur 1.

Du point de vue du signal injecté dans la base 3, le dispositif selon l'invention se comporte comme une porte ouverte ou fermée pour la transmission.

Les figures 3 à 5 des dessins annexés illustrent le fonctionnement du dispositif selon l'invention en tant que transistor en mode émetteur commun, influencé par l'application de champs magnétiques particuliers au niveau de certaines des électrodes 1, 3, 5.

- 14 -

Pour décrire le fonctionnement du transistor sous l'influence d'un champ magnétique, il faut tenir compte de la structure de bandes du matériau magnétique qui est utilisé pour chaque électrode 1, 3, 5. Afin de simplifier la compréhension du fonctionnement du transistor sous champ magnétique, il est fait état ci-après uniquement de structures de bandes de matériaux demi-métalliques dont la polarisation magnétique est égale à 100 %. Pour un tel matériau, le niveau de Fermi se situe à l'intérieur de la bande de spin minoritaire (24a par exemple) alors que la bande de spin majoritaire (23a par exemple) est complètement remplie.

Le principe de fonctionnement schématisé sur les figures 3, 4 et 5, reprend le concept précédent en tenant compte des densités d'état liées au caractère magnétique des électrodes. Il convient de noter que le fonctionnement qui est décrit dans la présente peut être adapté à tout matériau pour lequel les structures de bande des électrons de spin +1/2 ("spin up") et spin -1/2 ("spin down") sont décalées l'une par rapport à l'autre. Les points de fonctionnement seront alors choisis afin d'obtenir la variation de courant la plus forte.

Les figures 3 à 5 des dessins annexés présentent différentes configurations simples qui permettent de mettre en évidence l'apport du magnétisme pour une fonctionnalité supplémentaire. Les différentes fonctionnalités sont évoquées séparément par soucis de clarté.

1) Variation de l'amplification du courant (figures 3 et 5)

Dans ce premier exemple, l'électrode 1 est constituée d'un matériau qui ne présente pas d'asymétrie dans sa structure de bandes. Les densités d'état des électrons de spin +1/2 21a et spin -1/2 22a sont identiques. Dans le processus tunnel, seuls les électrons qui trouvent une place dans la base 3 sont autorisés à traverser la barrière. Ainsi, en négligeant la diffusion des spins, seuls les électrons issus de la bande 22a passent dans la bande 24a. La base 3 joue le rôle d'un filtre de spin pour les électrons chauds qui vont être injectés dans la seconde barrière et dans la base 3, les électrons de conduction auront tous un spin -1/2.

Dans la configuration d'aimantation parallèle (figure 3A), les électrons chauds, injectés par la diode émetteur/base (1, 2 et 3), polarisés à 100 % dans la base magnétique 3, trouvent des états disponibles dans la bande 26a du collecteur 5. Le courant d'électrons chauds transmis dans le collecteur 5, amplificateur du courant de base, est maximum dans cette configuration magnétique.

- 15 -

Dans la configuration d'aimantation anti parallèle (figure 3B), les électrons chauds, injectés par la diode émetteur /base (1, 2 et 3), polarisés à 100 % dans la base magnétique 3, ne trouvent pas d'état disponible dans la bande 26b du collecteur 5. En effet, la bande des 5 électrons de spin -1/2 26b est complètement remplie. Le courant d'électrons chauds transmis dans le collecteur 5, amplificateur du courant de base, est alors réduit suivant l'orientation relative des aimantations de la base 3 et du collecteur 5 et peut être annulé pour une orientation anti parallèle des aimantations.

10 Dans ce modèle à structures de bandes simplifiées, le fonctionnement du transistor selon l'invention peut être perturbé par la structure de bandes de l'électrode de base 3. En effet, étant donnée l'extension limitée de la bande des électrons de spin -1/2 24a, il est possible que, pour une tension de polarisation élevée de la jonction émetteur /base 15 (1, 2 et 3), les électrons injectés à partir de l'émetteur 1 ne trouvent pas d'état disponible dans la base 3 à cause de leur grande énergie.

Afin de surmonter cette limitation, il est possible de privilégier la configuration décrite dans la figure 5 pour laquelle l'émetteur est constitué d'un matériau magnétique et l'électrode de base n'est pas 20 magnétique mais conserve le spin des électrons chauds. L'électrode 1 est alors composée d'un matériau magnétique qui présente une asymétrie dans sa structure de bandes. Seuls les électrons de spin -1/2 24a sont injectés dans la bande 22a de la base 3. Ces électrons trouvent une place disponible dans la base 3 et, étant donné sa faible épaisseur par rapport à la longueur de 25 diffusion de spin, conservent la mémoire de leur spin à l'entrée de la barrière 4.

Dans la configuration d'aimantation parallèle (figure 5A), les électrons chauds, injectés par la diode émetteur /base (1, 2 et 3), polarisés à 100 % dans l'émetteur magnétique 1, trouvent des états disponibles dans la 30 bande 26a du collecteur 5. Le courant d'électrons chauds transmis dans le collecteur 5, amplificateur du courant de base, est maximum dans cette configuration magnétique.

Dans la configuration d'aimantation anti parallèle (figure 5B), les électrons chauds, injectés par la diode émetteur /base (1, 2 et 3), polarisés à 100 % dans l'émetteur magnétique 1, ne trouvent pas d'état disponible dans la bande 26b du collecteur 5. En effet, la bande des électrons de spin -1/2 26b est complètement remplie. Le courant d'électrons

- 16 -

chauds transmis dans le collecteur 5, amplificateur du courant de base, est alors nul. Il peut cependant être modulé en ajustant l'orientation relative des aimantations de l'émetteur 1 et du collecteur 5.

2) Variation du courant injecté maximum (figure 4)

5 Dans ce second exemple, l'électrode 5, c'est-à-dire le collecteur, est constituée d'un matériau qui ne présente pas d'asymétrie dans sa structure de bandes. Les densités d'état des électrons de spin +1/2 21a et spin -1/2 22a sont identiques. Les deux autres électrodes, l'émetteur 1 et la base 3, sont constituées d'un matériau à structure de bandes asymétriques.

10 Dans la configuration d'aimantation parallèle (figure 4A), les électrons, injectés par la diode émetteur /base (1, 2 et 3), polarisés à 100 % dans l'émetteur magnétique 1, trouvent des états disponibles dans la bande 26a de la base 3. Le courant limite d'électrons chauds, transmis dans le collecteur 5, amplificateur du courant de base, est alors maximum.

15 Dans la configuration d'aimantation anti parallèle (figure 4B), les électrons injectés par la diode émetteur/base (1, 2 et 3), polarisés à 100 % dans l'émetteur magnétique 1, ne trouvent pas d'état disponible dans la bande 26b de la base 3. Le courant limite d'électrons chauds, transmis dans le collecteur 5, amplificateur du courant de base, est alors nul. Il peut cependant être modulé en ajustant l'orientation relative des aimantations de l'émetteur 1 et de la base 3.

3) Variation de l'amplification du courant et du courant injecté maximum

25 Les deux fonctions décrites dans les paragraphes 1) et 2) précédents peuvent être rassemblées dans un seul dispositif transistor en utilisant, pour chaque électrode, un matériau à structure de bandes asymétriques. Dans ce cas, il sera possible, en ajustant les orientations relatives des aimantations de chaque électrode, de moduler soit l'amplification du courant, soit le courant injecté maximum, soit les deux en 30 même temps.

Bien entendu, d'autres configurations de polarisation des électrodes du dispositif transistor selon l'invention, connues de l'homme du métier, peuvent être envisagées, en particulier les modes de fonctionnement du transistor en base commune ou collecteur commun.

35 Par soucis de simplicité, le fonctionnement du dispositif selon l'invention en tant que transistor a été décrit ci-dessus dans le cas de l'utilisation de matériaux particuliers.

- 17 -

En effet, dans des cas plus généraux, par exemple avec des matériaux ferromagnétiques dont la polarisation n'est pas de 100 %, les effets décrits ci-dessus sont vérifiés avec une intensité moins élevée, notamment parce que les courants maximum injectés ainsi que les facteurs 5 d'amplification ne peuvent pas être réduits à zéro. Cependant, la modulation reste possible et dépend fortement de la structure de bandes des matériaux choisis.

Par ailleurs, outre les caractéristiques des structures de bandes des matériaux constituant les électrodes décrites ci-dessus, il est également 10 possible de modifier, en plus des hauteurs et des largeurs des barrières 2 et 4, les propriétés magnétiques desdites barrières.

Il est par exemple possible d'utiliser, comme déjà indiqué précédemment, des barrières tunnel qui filtrent les spins des électrons. Dans ce cas, et notamment pour les exemples précités, il est possible de remplacer 15 une paire d'électrodes magnétiques séparée par une barrière isolante quelconque par un couple barrière filtre de spin/électrode magnétique où la barrière est en contact avec une électrode conductrice quelconque.

Il est également possible d'utiliser le dispositif microélectronique selon l'invention pour la réalisation de composants 20 électroniques programmables non volatils et, comme déjà indiqués précédemment, de transistors fonctionnant en commutation.

Dans le cas de l'utilisation de métaux ferromagnétiques classiques, le contrôle par la base du courant émis dans le collecteur ne permet pas une variation de courant aussi importante qu'indiquée ci-dessus. 25 Notamment, le courant collecteur ne peut pas être totalement réduit à zéro. Cette limitation peut être mise à profit pour réaliser des transistors dont le gain est programmable et non volatile.

En effet, il faut à nouveau souligner que l'orientation relative 30 des aimantations des électrodes magnétiques ne dépend que de l'histoire magnétique de la jonction considérée. Cette orientation est conservée lorsque le composant est mis hors tension. Le gain du transistor peut alors être augmenté ou diminué simplement en modifiant l'orientation relative des aimantations des électrodes magnétiques.

Cependant, lorsque la différence entre les courants émis dans le 35 collecteur dans les différentes configurations d'aimantation possibles est assez grande, ce qui est sans aucun doute le cas dans les exemples cités ci-dessus, on peut définir une logique à deux états. Suivant l'orientation

- 18 -

relative des aimantations des électrodes magnétiques (parallèle ou anti parallèle), le courant collecté va être modifié. Les deux états de ce courant peuvent être associés à un état passant et bloqué du transistor et le dispositif microélectronique se comporte alors comme un transistor fonctionnant en 5 commutation.

La présente invention a également pour objet une cellule mémoire élémentaire pouvant avoir deux ou plusieurs états magnétiques, caractérisée en ce qu'elle est constituée par un dispositif microélectronique tel que décrit ci-dessus, l'information étant stockée sous forme d'orientations 10 déterminées des aimantations des électrodes 1, 3, 5 en un matériau magnétique ou demi-métallique, la lecture de l'information s'effectuant par une polarisation sélective des électrodes 1, 3, 5 de ladite cellule (figures 6A et 6B) ou sous forme d'orientations déterminées des aimantations des électrodes 1, 3 ou 5 par rapport à une barrière filtre de spin.

15 Comme le montre la figure 8 des dessins annexés, l'écriture dans cette cellule est effectuée en envoyant une impulsion de courant dans une ligne de transmission 8' reliée à l'électrode médiane 3 formant base et dans une ou des lignes de transmission 6' et/ou 7' reliée aux électrodes 1 et/ou 5 formant émetteur et/ou collecteur, l'électrode 3 formant base 20 présentant préférentiellement un axe facile d'aimantation perpendiculaire à la ligne de transmission 8' qui lui est reliée.

25 L'invention concerne, en outre, comme le montrent notamment les figures 6 à 8 des dessins annexés, un réseau de mémoires élémentaires, caractérisé en ce qu'il est constitué par un ensemble de cellules mémoires élémentaires du type précité reliées entre elles et à des circuits de commande extérieurs 6, 7, 8 au moyen d'un réseau de lignes de transmission 6', 7', 8' permettant d'appliquer une polarisation particulière à chacune des électrodes 1, 3, 5 de chacune des cellules mémoires élémentaires pour lire 30 les informations stockées dans chacune d'elles.

De manière avantageuse, les circuits de commandes extérieurs 6, 7, 8 sont adaptés pour envoyer simultanément, vers l'une quelconque des cellules mémoires élémentaires, des impulsions de courant à travers les lignes de transmission 6', 7', 8' reliées aux trois électrodes 1, 3, 5 de la cellule mémoire élémentaire concernée, de manière à générer concomitamment un champ magnétique au voisinage des couches magnétiques, faisant partie de ladite cellule, dont l'intensité et l'orientation 35

- 19 -

sont telles qu'il en résulte une modification de leur état magnétique, sans affecter l'état des couches magnétiques des cellules environnantes.

L'invention trouve une application particulièrement avantageuse dans la réalisation de matrices de mémoires magnétiques à accès aléatoires 5 (en abrégé MRAM), composées d'une pluralité de dispositifs microélectroniques ou d'une pluralité de cellules mémoire élémentaires du type décrit ci-dessus.

Comme indiqué précédemment, l'information stockée est codée par le biais de l'orientation relative du moment magnétique d'une ou de 10 plusieurs électrodes 1, 3, 5. Cette information est stable et non volatile et il est donc possible de s'affranchir du rafraîchissement des capacités nécessaires pour les mémoires de type DRAM classiques.

En outre, et surtout, la possibilité de polarisation sélective des 15 trois électrodes de chaque cellule permet de s'affranchir de la diode mise en série avec chaque cellule mémoire dans toutes les architectures de MRAM proposées à ce jour. Cette diode, indispensable pour éviter les courants de fuite dans les cellules mémoires voisines de celle active pour la lecture, est actuellement constituée de matériau semi-conducteur. Le bon fonctionnement de cette diode nécessite une grande surface de diode et 20 limite de ce fait la densité des MRAM actuelles. Remplacer le couple diode/cellule élémentaire par le dispositif microélectronique selon l'invention permet de s'affranchir de l'utilisation de la diode et donc repousse les limites actuelles de la densité de stockage à l'aide de mémoires magnétiques.

25 Le dispositif selon l'invention étant constitué de deux jonctions empilées l'une sur l'autre, il permet un gain de place considérable par rapport aux mémoires à semi-conducteurs classiques où les différents composants de la mémoire sont juxtaposés sur un même plan.

De plus, chaque cellule mémoire est constituée de deux 30 jonctions empilées dont la résistance peut être ajustée de quelques Ohms à quelques millions d'Ohms suivant les caractéristiques des jonctions et ces fortes résistances permettent de créer des mémoires à faible consommation de courant.

En outre, dans une réalisation matricielle à forte densité, 35 l'utilisation des trois électrodes permet de s'affranchir des problèmes de court-circuit intrinsèques aux mémoires magnéto-résistives, sans introduire de diode ou de transistor supplémentaire coûteux en espace. En effet, en

- 20 -

substituant ces composants constitués de matériaux semi-conducteurs par des dispositifs selon l'invention, la surface d'une cellule mémoire n'est plus imposée par le bon fonctionnement de la cellule mais par la résolution des techniques de lithographie actuelle. L'utilisation de l'invention permet 5 d'ouvrir de nouvelles perspectives pour le stockage de données non volatiles à haute intégration.

De plus, pour cette application particulière, les électrons injectés de l'émetteur dans la base peuvent y être thermalisés. Le relâchement de cette contrainte permet d'augmenter l'épaisseur de la couche 10 3 constituant la base et de réduire les problèmes technologiques liés à la prise de contact sur cette couche.

Avant de décrire en détail le fonctionnement des opérations de lecture et d'écriture d'une information dans le réseau matriciel précité, il est 15 préférable de définir une composition possible du dispositif transistor utilisé, à titre d'exemple non limitatif.

Chaque dispositif actif formant une cellule mémoire peut fonctionner en intégrant une (en association avec une barrière filtre de spin), deux ou trois électrodes magnétiques, l'essentiel étant d'obtenir une variation significative de la conductance suivant les orientations relatives 20 des aimantations des électrodes magnétiques.

Dans l'exemple décrit ci-dessous, les électrodes 1 et 5 sont constituées d'un matériau magnétique dur à coercitif élevé présentant une asymétrie dans leur structure de bandes. L'électrode de base 3 est, quant à elle, constituée d'un matériau magnétique doux présentant une asymétrie 25 dans sa structure de bandes.

Dans la configuration d'aimantation parallèle, les aimantations des trois électrodes 1, 3 et 5 sont alignées. Suivant les états de polarisation intervenant dans les processus de lecture et d'écriture, les électrons, injectés par la diode émetteur / base (1, 2 et 3) et polarisés à 100 %, dans l'émetteur 30 1, trouvent des états disponibles aussi bien dans la base 3 que dans le collecteur 5. Le courant limite d'électrons, transmis dans le collecteur 5, est alors maximum. En revanche, dans la configuration d'aimantation anti parallèle, les aimantations des électrodes émetteur 1 et collecteur 5 sont anti 35 parallèles, les électrons injectés par la diode émetteur polarisés à 100 %, ne trouvent pas d'état disponible dans la base. Le courant transmis dans la base est alors réduit de manière significative.

- 21 -

A partir de ce principe basé sur la variation de conductance liée aux orientations relatives des aimantations des trois électrodes 1, 3 et 5, on détaillera ci-dessous un exemple d'application de l'invention dans une matrice de mémoires magnétiques à accès aléatoire (MRAM).

5 Selon une variante de réalisation préférentielle de l'invention et comme le montrent les figures 6A, 7A et 8 des dessins annexés, chacun desdits dispositifs ou chacune desdites cellules formant la MRAM est situé(e) à l'intersection de trois lignes de transmission 6', 7', 8' isolées entre elles, par exemple par des couches d'oxyde, dont la première 6' fait partie
10 10 des lignes de transmission reliées aux électrodes 1 formant émetteurs, dont la deuxième 8', s'étendant à 45° par rapport à la première, fait partie des lignes de transmission reliées aux électrodes médianes 3 formant bases et dont la troisième 7', s'étendant à 90° par rapport à la première, fait partie des lignes de transmission reliées aux électrodes 5 formant collecteurs.

15 Sur lesdites figures 6A, 7A et 8, le nombre de cellules mémoire a été limité à neuf pour des raisons de clarté et les cellules soumises à des différences de potentiels identiques portent des références numériques identiques.

20 Ainsi, chaque cellule mémoire est intégrée dans un réseau de lignes de transmission conductrices 6', 7', 8' ; 15, 16, 17 qui permettent la polarisation sélective de ses trois électrodes 1, 3 et 5.

25 Les émetteurs des dispositifs transistors formant cellules mémoire sont connectés au circuit de contrôle 6 des lignes émettrices 6', 15 les collecteurs desdits dispositifs transistors sont connectés au circuit de contrôle 7 des lignes collectrices 7', 17 et les bases desdits dispositifs transistors sont connectées au circuit de contrôle 8 des lignes des bases 8', 16. Etant donné que l'orientation relative des aimantations de chaque électrode est indépendante des tensions de polarisation, l'information stockée est conservée même après l'arrêt de l'alimentation des trois
30 électrodes 1, 3 et 5.

1) Lecture d'une information stockée

Dans l'attente de la lecture de l'information, toutes les cellules mémoire constituées de dispositifs selon l'invention sont polarisées en inverse (figure 6B) : toutes les lignes émettrices 6' desdites cellules sont polarisées à une tension -V volts, les lignes des bases 8' desdites cellules sont polarisées à une tension de 0 volt et toutes les lignes collectrices 7' desdites cellules sont polarisées à une tension +V volts. Cette tension de

- 22 -

5 polarisation sera ajustée en fonction des propriétés des jonctions tunnel et notamment de leur hauteur de barrière. Etant donné que les résistances des jonctions sont ajustables et peuvent être élevées, cette étape d'attente nécessite l'utilisation de peu de courant. Les barrières de potentiel de l'invention seront donc déformées comme ceci est représenté sur la figure 6C.

La mise en oeuvre de la lecture de l'information suit un processus en deux étapes (figure 7).

10 La première étape consiste à sélectionner la cellule mémoire constituée par l'invention dont l'utilisateur veut connaître le contenu (dans le présent exemple la cellule 14). Cette sélection s'effectue en polarisant le transistor 14 en direct comme ceci est représenté sur la figure 7A. Afin de lire l'information stockée dans la cellule mémoire 14, la ligne émettrice 15 connectée à l'émetteur du transistor 14 est polarisée à une tension +V volts, 15 la ligne de base 16 connectée à la base du transistor 14 conserve sa polarisation et la ligne collectrice 17 connectée au collecteur du transistor 14 est polarisée à une tension -V volts. Les barrières de potentiel du transistor 14 seront donc déformées comme ceci est illustré sur la figure 7B. Les lignes connectées aux électrodes des transistors 18 conservent leur 20 polarisation comme ceci est indiqué sur la figure 6B et 7C. Cependant, les transistors 19 situés sur la ligne 17 ainsi que les transistors 20 situés sur la ligne 15 ont vu un changement dans la tension de polarisation de leur collecteur et émetteur respectivement. Les barrières de potentiel des transistors 19 et 20 seront donc déformées, elles sont représentées sur la 25 figure 7D pour les transistors 19 et figure 7E pour les transistors 20.

La seconde étape consiste à envoyer un signal (de type impulsion par exemple) sur la ligne de base 16. Ce signal sera transmis dans chaque transistor de manière différente suivant son état de polarisation. Pour le transistor 14, le signal va être transmis à son collecteur et donc à la ligne 17. La valeur du signal émis sur la ligne 17 par le transistor 14 dépend, 30 par exemple, de l'orientation relative des aimantations de la base et du collecteur et donc de l'information stockée dans la cellule mémoire constituée par le transistor 14. Il n'y a pas de transmission possible vers son émetteur 15 à cause de la barrière de potentiel dont la hauteur est artificiellement augmentée par l'application de la tension +V volt. Pour les 35 transistors 18, le signal va être transmis à leur émetteur. Il n'y a pas de court circuit possible par les transistors 18 et 19 des lignes émettrices 7 non

- 23 -

activées (tension de polarisation -V volt). Le seul signal émis sur la ligne 17 ne peut provenir que de la conduction du signal de base 16 au travers du transistor 14.

2) Ecriture d'une information dans une cellule élémentaire
5 (figure 8)

L'écriture sélective de la cellule 14 (figure 7A) consiste à faire basculer l'aimantation de l'une ou plusieurs de ses couches magnétiques sans perturber l'information stockée dans les cellules voisines.

10 Pour cela, la configuration des lignes 6', 7', 8' ; 15, 16, 7 se révèle très avantageuse. Lors des différentes étapes technologiques de structuration de l'invention (figure 10), il est possible d'orienter les lignes d'alimentation des bases (lignes 8 ; 16) des cellules perpendiculairement à l'axe facile d'aimantation des différentes couches magnétiques et les lignes d'alimentation des collecteurs et des émetteurs à +/- 45 degrés.

15 Il est en effet possible de favoriser un axe facile d'aimantation d'une couche magnétique de plusieurs manières et choisir la direction de la ligne 8 ; 16 de façon à ce qu'elle soit perpendiculaire à la direction de facile aimantation. Une des possibilités consiste à faire croître les couches en présence d'un champ magnétique. Ce champ va déterminer la direction 20 facile d'aimantation. Une autre possibilité consiste à favoriser la direction facile en choisissant une forme adéquate (effilé) du transistor.

25 L'écriture consiste à envoyer une impulsion de courant sur les lignes reliant les électrodes de base (Iwb), collectrices (Iwc) et émettrice (Iwe) qui produit un champ magnétique dirigé selon l'axe facile des couches magnétiques formant ces électrodes (Hw). L'amplitude de l'impulsion de courant envoyé dans la ligne 8 ; 16 sera choisi de façon à ce que le champ crée par l'électrode de base 3 seule ne permet pas de renverser l'aimantation 30 de la couche magnétique dont l'orientation permet de modifier l'information stockée. En revanche, les deux impulsions supplémentaires envoyés dans les lignes 6 ; 15 et 7 ; 17 vont contribuer à renforcer le champ au niveau du transistor 14 et retourner l'aimantation de la couche douce du transistor 14 sans perturber les plus proches voisins.

35 L'utilisation de trois électrodes, par rapport à deux, permet de diminuer le courant émis dans chaque électrode.

Enfin, la présente invention concerne aussi un capteur de champ magnétique ou de courant constitué par au moins un dispositif microélectronique tel que décrit précédemment dont les modifications des

- 24 -

caractéristiques, notamment les états magnétiques des électrodes 1, 3 et 5, induites par un champ magnétique externe sont connues.

En effet, connaissant les caractéristiques du dispositif transistor, il est possible de retrouver les caractéristiques du courant (passant dans un fil et créant un champ magnétique) ou du champ magnétique qui modifie l'état magnétique des électrodes et donc les courants circulants dans les différentes parties de l'invention. Par exemple, si la variation du gain du transistor en fonction de l'orientation des aimantations des électrodes est connue, une modification du courant collecteur permet d'accéder à la configuration magnétique des électrodes de l'invention et donc à son environnement magnétique. Etant donné le caractère tunnel du processus de transport, ce type de capteur est doté d'une très grande sensibilité.

A titre d'exemple de réalisation pratique d'un dispositif microélectronique selon l'invention, il est procédé ci-après, en relation avec les figures 9 et 10A à 10F des dessins annexés, à la description des six principales étapes consécutives de lithographie (avec utilisation de masques) et de gravure permettant la réalisation d'un tel dispositif. Le procédé de préparation dudit dispositif s'effectuera sur une multicouche préfabriquée (figure 9) en utilisant les techniques de lithographie UV et/ou électronique et la gravure ionique sèche et/ou réactive.

Lors de chaque étape dans ce procédé, l'étape de lithographie consiste dans un premier temps à déposer une résine photosensible positive sur la multicouche. Puis, la résine est insolée au travers d'un masque contenant des motifs opaques, les régions de la résine qui ont été insolées devenant plus solubles que les régions non insolées, dans un solvant déterminé.

Lors de la révélation, seuls les régions de la résine située en dessous des motifs du masque sont conservées sur la multicouche. L'étape de gravure consiste à graver les parties de l'échantillon non protégées par les motifs de résine.

(1) La première étape du procédé consiste à dégager les contours des dispositifs microélectroniques de la couche continue. Les motifs de chaque dispositif sont lithographiés en insolant un premier dépôt de résine au travers d'un premier masque. Ce motif est ensuite transféré dans la multicouche par gravure, la gravure étant stoppée lorsque la multicouche, entre les motifs, est entièrement pulvérisée (figure 10A).

- 25 -

(2) La seconde étape consiste à dégager l'électrode émettrice du dispositif. Après le dépôt d'une nouvelle couche de résine, cette dernière est insolée au travers d'un deuxième masque. Ce motif est ensuite transféré dans la multicouche par gravure, la gravure étant stoppée dans la couche tampon formant la première électrode 1. La prise de contact électrique sur ladite couche tampon permettra d'avoir accès à l'électrode émettrice (figure 10B).

(3) La troisième étape consiste à dégager l'électrode médiane ou de base 3. Après le dépôt d'une nouvelle couche de résine, cette dernière est insolée au travers d'un troisième masque. Ce motif protège la région de connexion de l'électrode émettrice et collectrice. La partie non protégée est ensuite gravée, la gravure étant stoppée dans la couche constituant la future base de l'invention. La prise de contact électrique sur ladite couche permettra d'avoir accès à l'électrode de base 3 (figure 10C).

(4) La quatrième étape consiste à protéger le futur contact de l'électrode du collecteur 5. Après le dépôt d'une nouvelle couche de résine, cette dernière est insolée au travers d'un quatrième masque. Ce motif protège la région de connexion de l'électrode collectrice 5 avant d'effectuer un dépôt d'isolant sur la totalité de l'échantillon (figure 10D).

(5) La cinquième étape consiste à ouvrir des prises de contact pour les électrodes émettrices et de base dans la couche d'isolant déposée à la fin de l'étape précédente. Après le dépôt d'une nouvelle couche de résine, cette dernière est insolée au travers d'un cinquième masque. Ce motif de trous permet à une gravure réactive du SiO₂ de percer des trous dans la couche d'isolant jusqu'à l'électrode de base et émettrice (figure 10E).

(6) La dernière étape permet de connecter des plots de mesure aux électrodes 1, 3 et 5. Après le dépôt d'une nouvelle couche de résine, cette dernière est insolée au travers d'un sixième masque. Ce motif de trous permet un dépôt d'un matériau conducteur qui contacte l'émetteur 1, la base 2 et le collecteur 3 (figure 10F).

Bien entendu, l'invention n'est pas limitée aux modes de réalisation décrits et représentés aux dessins annexés. Des modifications restent possibles, notamment du point de vue de la constitution des divers éléments ou par substitution d'équivalents techniques, sans sortir pour autant du domaine de protection de l'invention.

REVENDEICATIONS

1) Dispositif microélectronique à trois bornes de connexion électrique, formé d'un empilement de deux jonctions tunnel magnéto-résistives dont chacune est composée de deux électrodes conductrices séparées par une couche en un matériau isolant formant barrière tunnel, ledit empilement présentant une électrode médiane commune aux deux jonctions, caractérisé en ce qu'il comprend, d'une part; une électrode (1, 3 ou 5) réalisée en un matériau magnétique ou demi-métallique et, d'autre part, soit au moins une seconde électrode (1, 3 ou 5) réalisée en un matériau magnétique ou demi-métallique, soit au moins une barrière tunnel (2 ou 4) sous forme de barrière tunnel filtrant les spins des électrons, chaque électrode (1, 3, 5) en un matériau magnétique ou demi-métallique possédant son propre champ coercitif.

2) Dispositif microélectronique selon la revendication 1, caractérisé en ce que l'électrode médiane (3) présente une épaisseur inférieure ou égale à la valeur limite (e_1) permettant aux électrons provenant de l'une des deux autres électrodes (1 ou 5) de transiter jusqu'à l'autre desdites deux autres électrodes (1 ou 5) en conservant une énergie supérieure à celle du niveau de Fermi de ladite électrode médiane (3).

3) Dispositif microélectronique selon la revendication 2, caractérisé en ce que les électrodes (1, 3, 5) sont polarisées de manière à obtenir un fonctionnement du type transistor permettant l'amplification d'un courant injecté dans une des électrodes (1, 3, 5) par une source de courant artificielle formée par la polarisation de l'une des deux jonctions tunnel (1, 2, 3 ; 3, 4, 5), les conditions de fonctionnement étant également contrôlées par les orientations respectives des aimantations des électrodes magnétiques ou demi-métalliques (1, 3, 5).

4) Dispositif microélectronique selon la revendication 3, caractérisé en ce que, dans un fonctionnement en mode émetteur commun et pour des tensions d'électrodes données, le gain du transistor et le courant maximum injecté sont contrôlés et, le cas échéant, préprogrammés, de manière non volatile, par l'intermédiaire de l'orientation des aimantations des différentes électrodes magnétiques ou demi-métalliques (1, 3, 5) dans des conditions similaires ou inverses, parallèle ou anti-parallèle.

- 27 -

- 5) Dispositif microélectronique selon la revendication 1 ou 2, caractérisé en ce que les électrodes (1, 3, 5) sont polarisées de manière à obtenir un fonctionnement en commutation, l'électrode médiane (3) présentant éventuellement une épaisseur supérieure à la valeur d'épaisseur limite (e₁).
- 10) Transistor microélectronique, caractérisé en ce qu'il est constitué par un dispositif microélectronique selon l'une quelconque des revendications 1 à 4, son gain, et le cas échéant son courant maximum, étant contrôlé par l'intermédiaire des tensions de polarisation appliquées à ses différentes électrodes (1, 3, 5) et/ou par l'intermédiaire des orientations des aimantations respectives de chaque électrode magnétique et/ou demi-métallique (1, 3 et/ou 5).
- 15) Cellule mémoire élémentaire pouvant avoir deux ou plusieurs états magnétiques, caractérisée en ce qu'elle est constituée par un dispositif microélectronique selon l'une quelconque des revendications 1, 2 et 5, l'information étant stockée sous forme d'orientations déterminées des aimantations des électrodes (1, 3, 5) en un matériau magnétique ou demi-métallique, la lecture de l'information s'effectuant par une polarisation sélective des électrodes (1, 3, 5) de ladite cellule ou sous forme 20) d'orientations déterminées des aimantations des électrodes 1, 3 ou 5 par rapport à une barrière filtre de spin.
- 25) Cellule mémoire élémentaire selon la revendication 7, caractérisée en ce que l'écriture dans cette cellule est effectuée en envoyant une impulsion de courant dans une ligne de transmission (8') reliée à l'électrode médiane (3) formant base et dans une ou des lignes de transmission (6' et/ou 7') reliée aux électrodes (1 et/ou 5) formant émetteur et/ou collecteur.
- 30) Cellule mémoire élémentaire selon l'une quelconque des revendications 7 et 8, caractérisée en ce que l'électrode médiane (3) formant base présente un axe facile d'aimantation perpendiculaire à la ligne de transmission (8') qui lui est reliée.
- 35) Réseau de mémoires élémentaires, caractérisé en ce qu'il est constitué par un ensemble de cellules mémoires élémentaires selon l'une quelconque des revendications 7 à 9 reliées entre elles et à des circuits de commande extérieurs (6, 7, 8) au moyen d'un réseau de lignes de transmission (6', 7', 8') permettant d'appliquer une polarisation particulière à

- 28 -

chacune des électrodes (1, 3, 5) de chacune des cellules mémoires élémentaires pour lire les informations stockées dans chacune d'elles.

11) Réseau de mémoires élémentaires selon la revendication 10, caractérisé en ce que les circuits de commandes extérieurs (6, 7, 8) sont adaptés pour envoyer simultanément, vers l'une quelconque des cellules mémoires élémentaires, des impulsions de courant à travers les lignes de transmission (6', 7', 8') reliées aux trois électrodes (1, 3, 5) de la cellule mémoire élémentaire concernée, de manière à générer concomitamment un champ magnétique au voisinage des couches magnétiques, faisant partie de 5 ladite cellule, dont l'intensité et l'orientation sont telles qu'il en résulte une modification de leur état magnétique, sans affecter l'état des couches magnétiques des cellules environnantes.

12) Matrice de mémoires magnétiques à accès aléatoires composées d'une pluralité de dispositifs microélectroniques selon l'une quelconque des revendications 1, 2 et 5 ou d'une pluralité de cellules mémoires élémentaires selon l'une quelconque des revendications 7 à 9, chacun(e) desdits dispositifs ou desdites cellules est situé(e) à l'intersection de trois lignes de transmission (6', 7', 8') isolées entre elles, par exemple par des couches d'oxyde, dont la première (6') fait partie des lignes de 10 transmission reliées aux électrodes (1) formant émetteurs, dans la deuxième (7'), s'étendant à 45° par rapport à la première, fait partie des lignes de transmission reliées aux électrodes médianes (3) formant bases et dont la troisième (8'), s'étendant à 90° par rapport à la première, fait partie des lignes de transmission reliées aux électrodes (5) formant collecteurs.

25 13) Capteur de champ magnétique ou de courant constitué par au moins un dispositif microélectronique selon l'une quelconque des revendications 1 à 5 dont les modifications des caractéristiques, notamment les états magnétiques des électrodes (1, 3, 5), induites par un champ magnétiques externes sont connues.

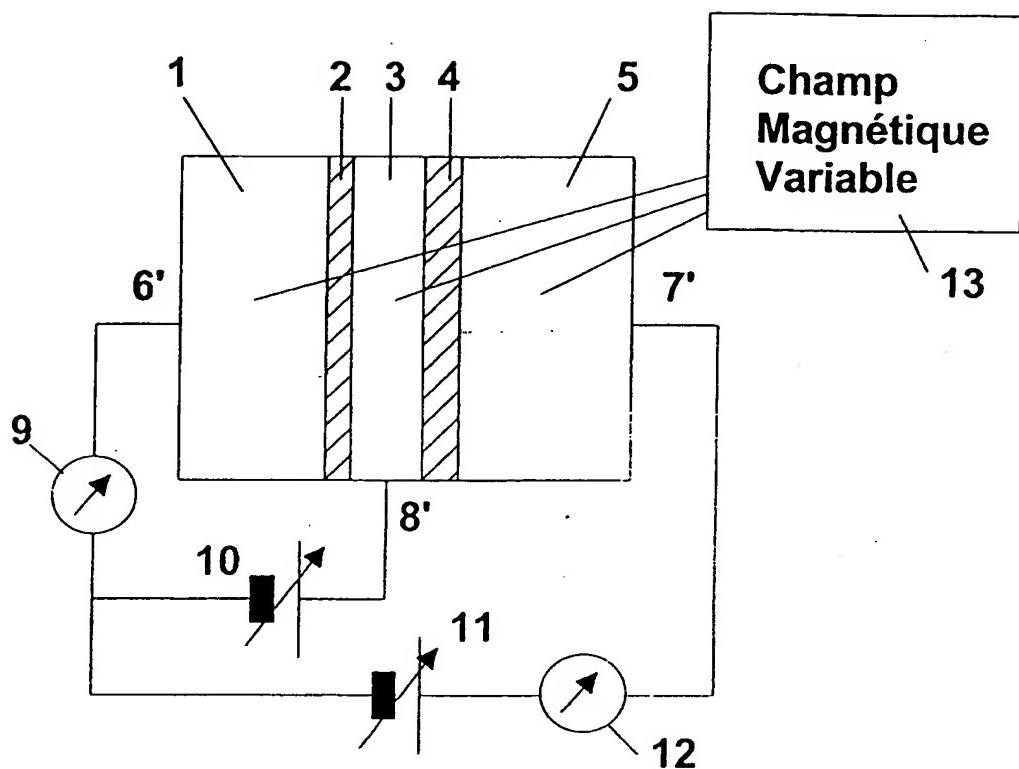


figure 1

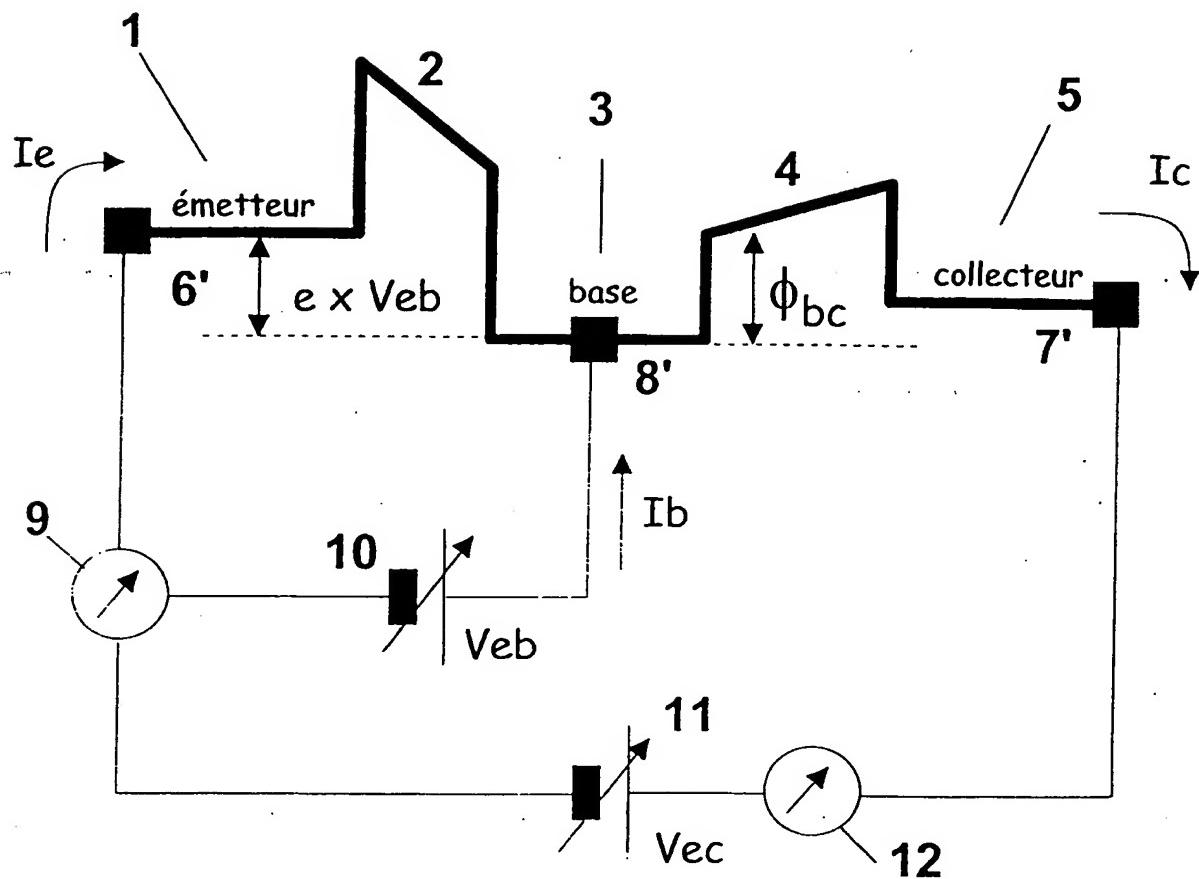


figure 2

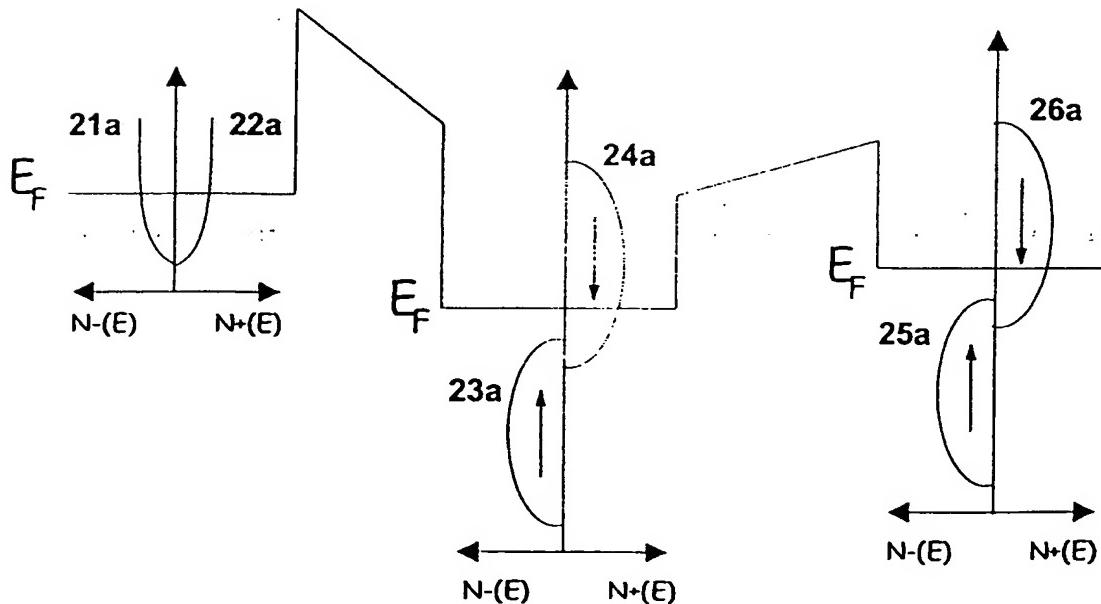
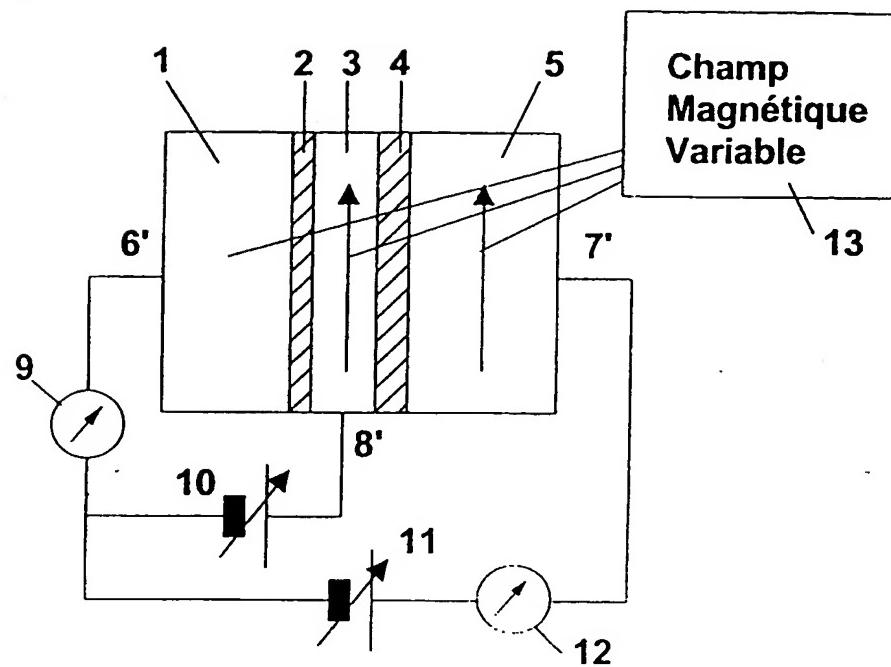


figure 3A

figure 3

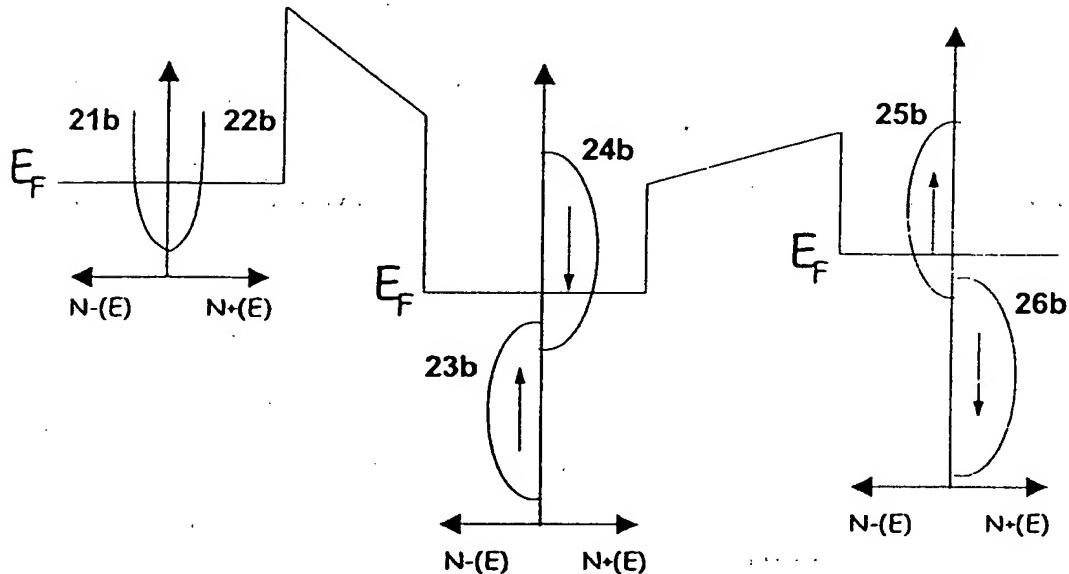
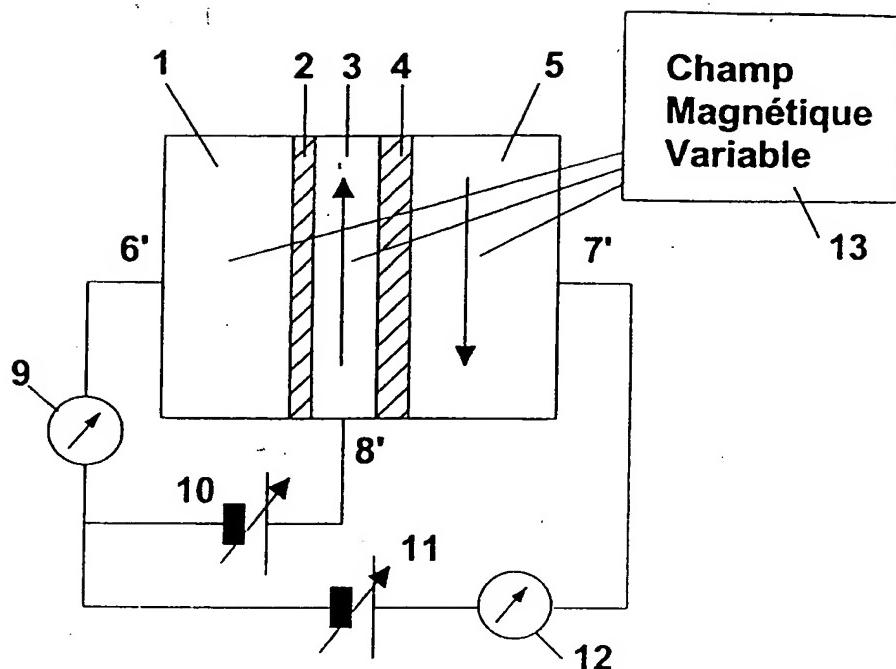


figure 3B

figure 3

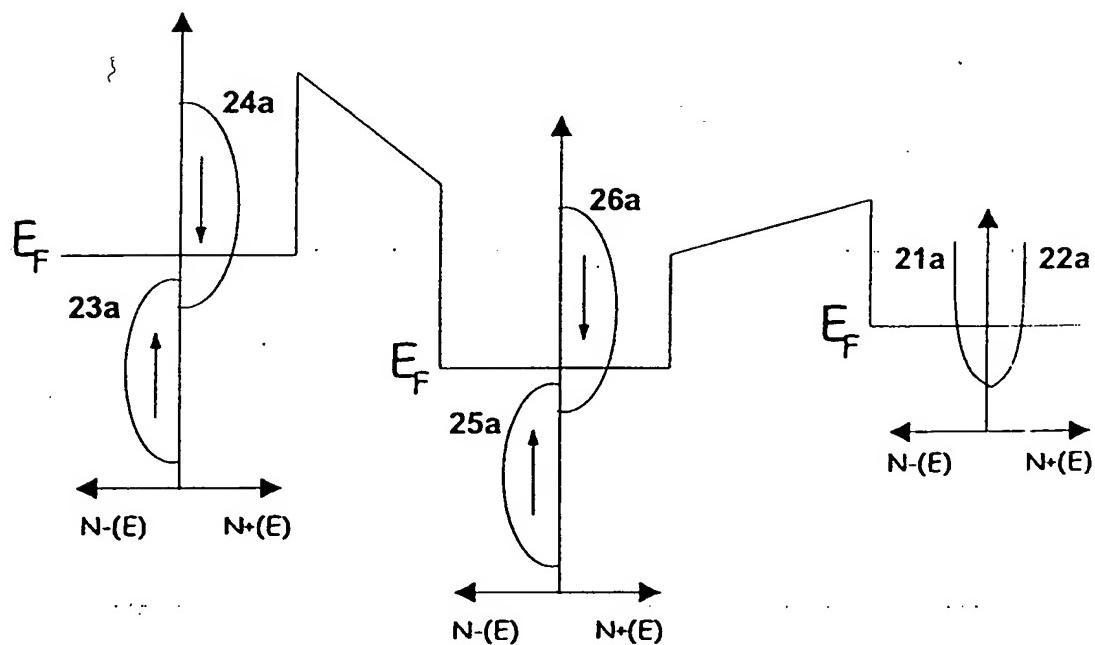
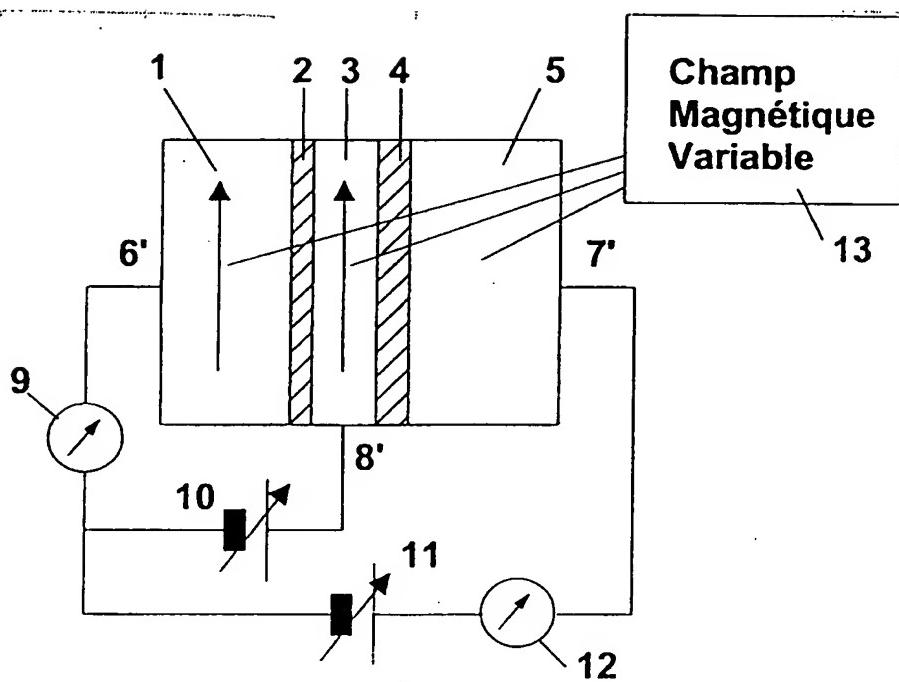


figure 4A

figure 4

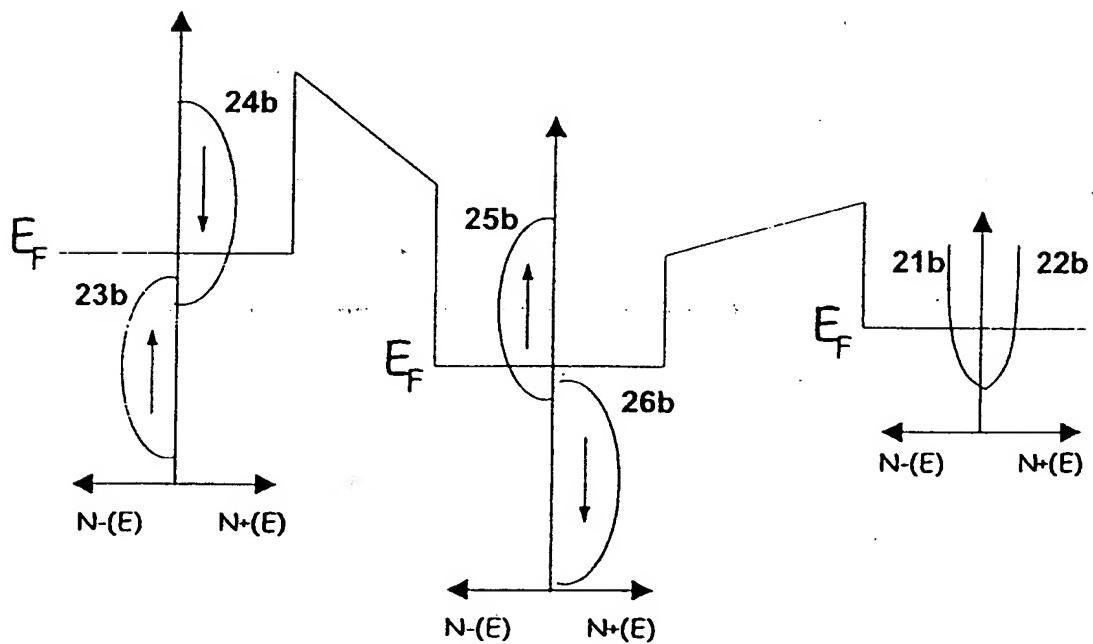
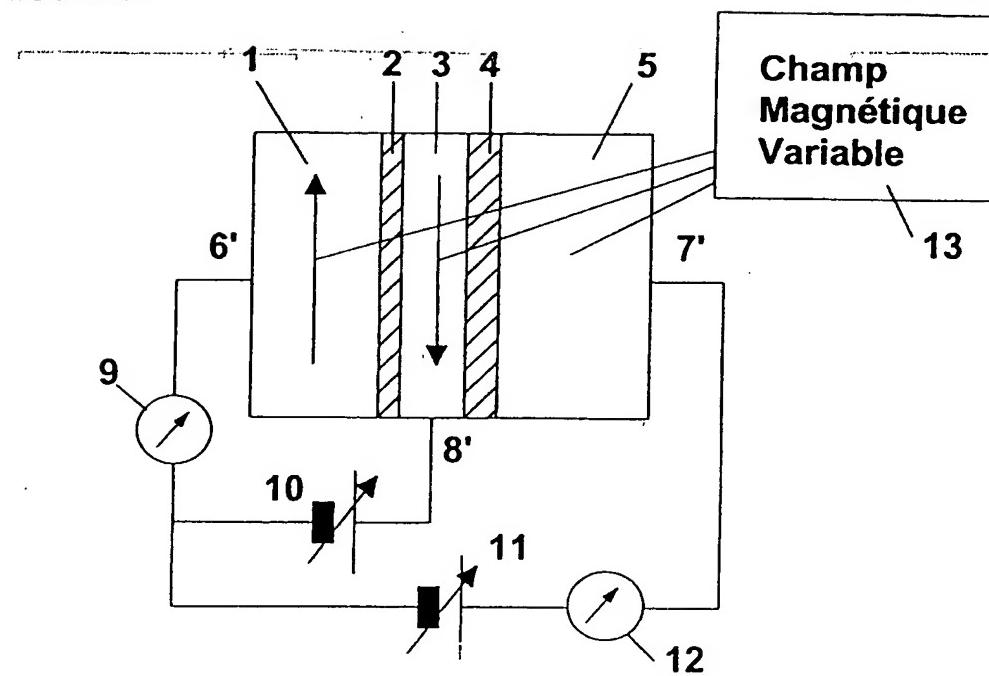


figure 4B

figure 4

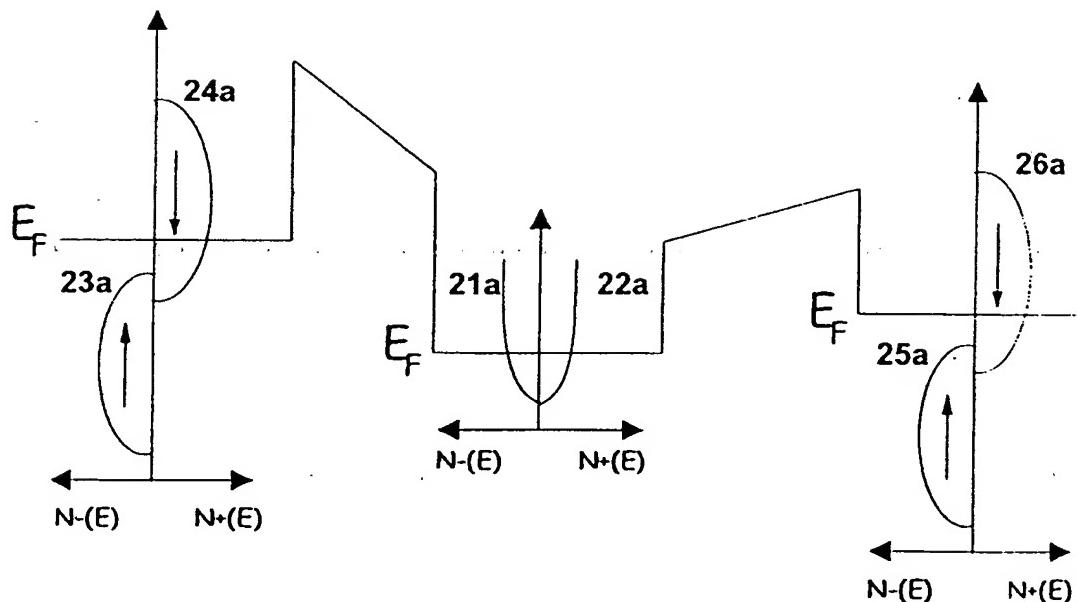
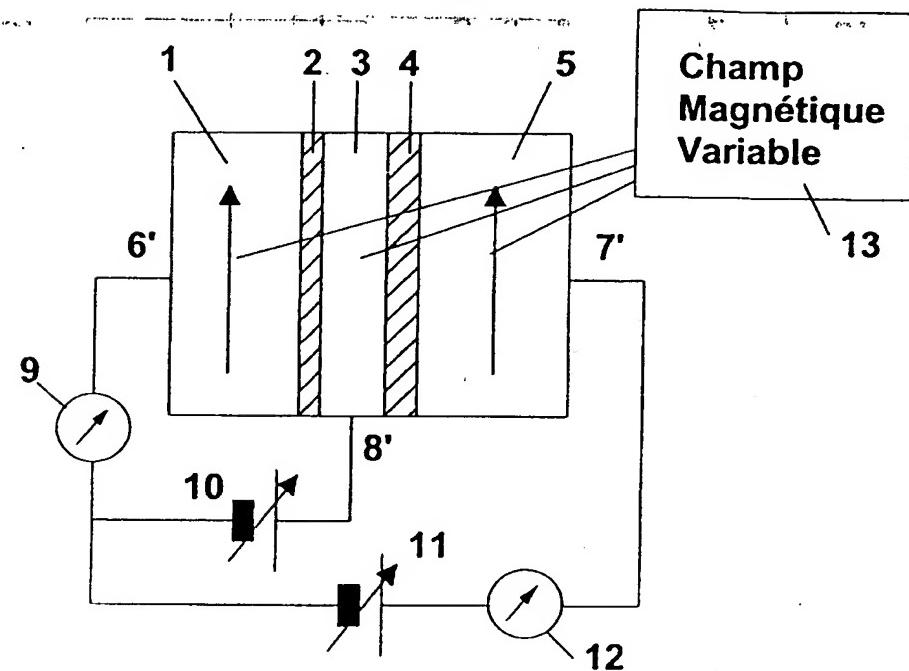


figure 5A

figure 5

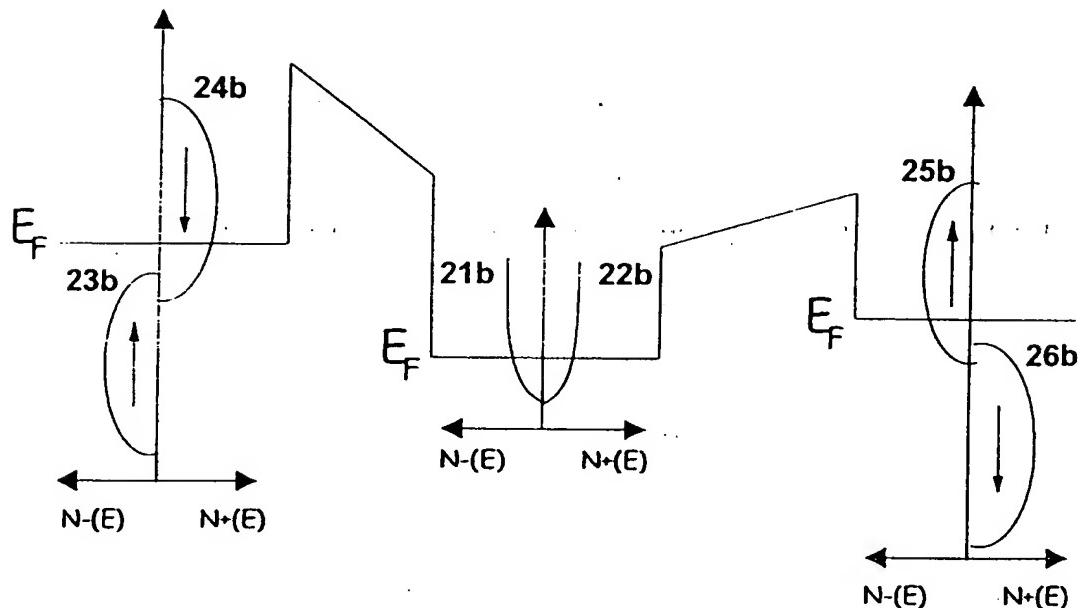
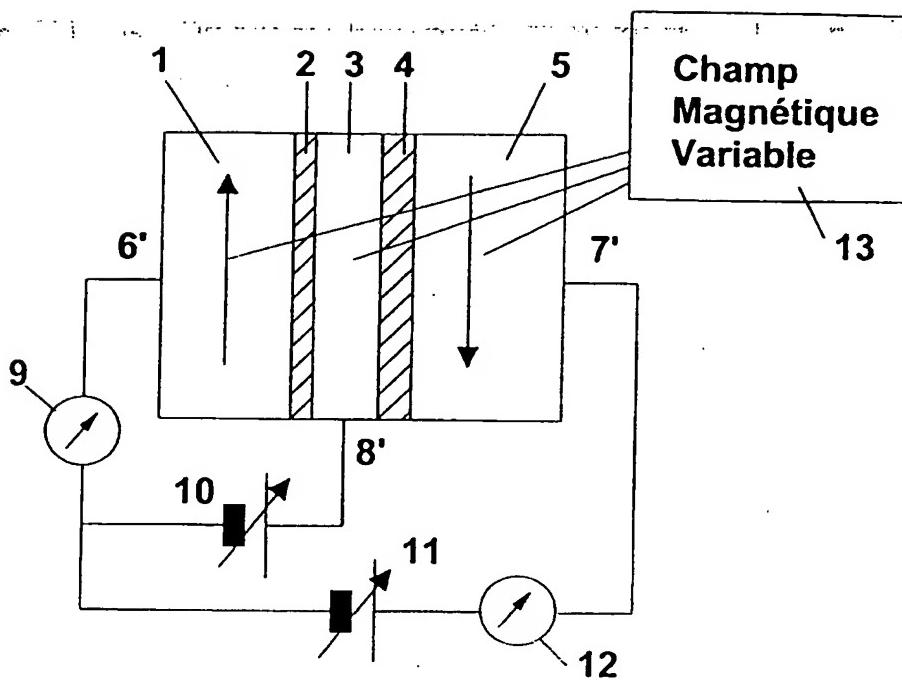


figure 5B

figure 5

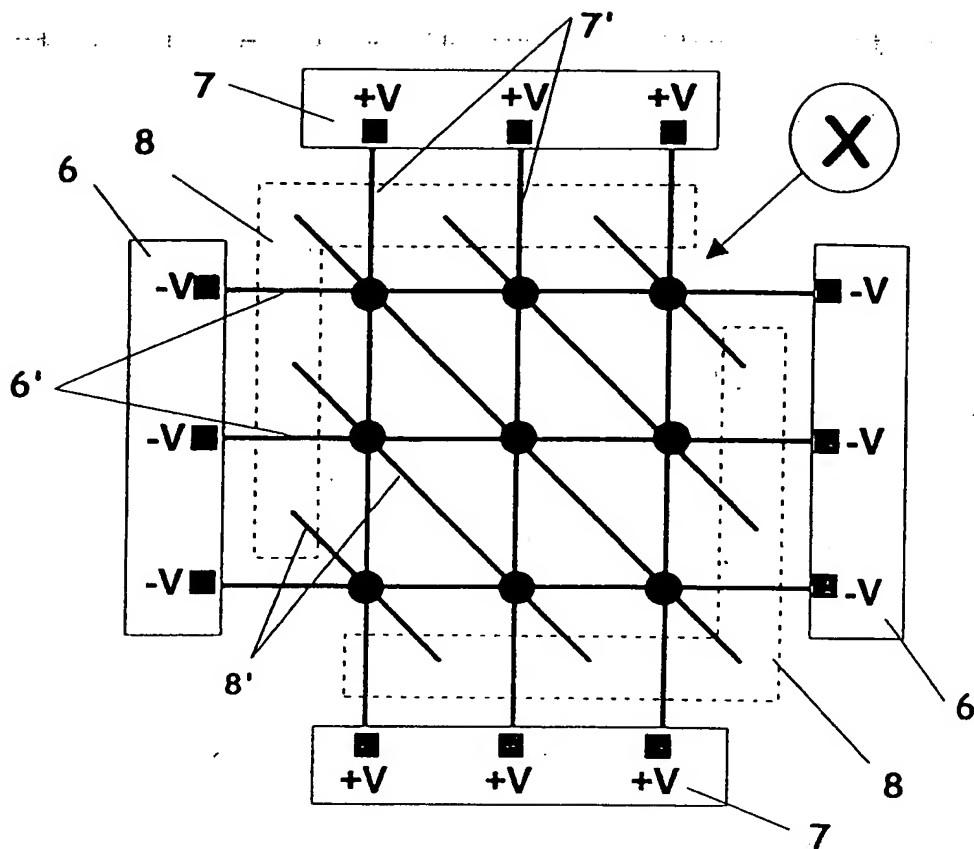


figure 6A

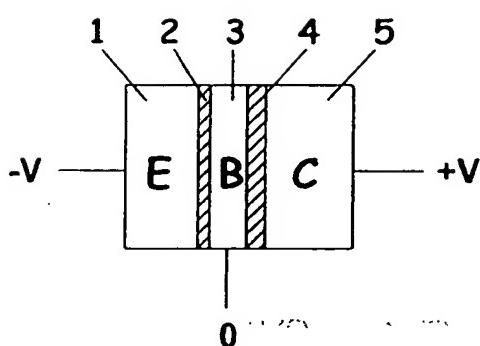


figure 6B

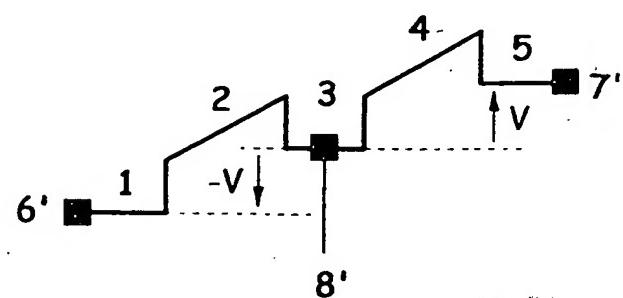


figure 6C

figure 6

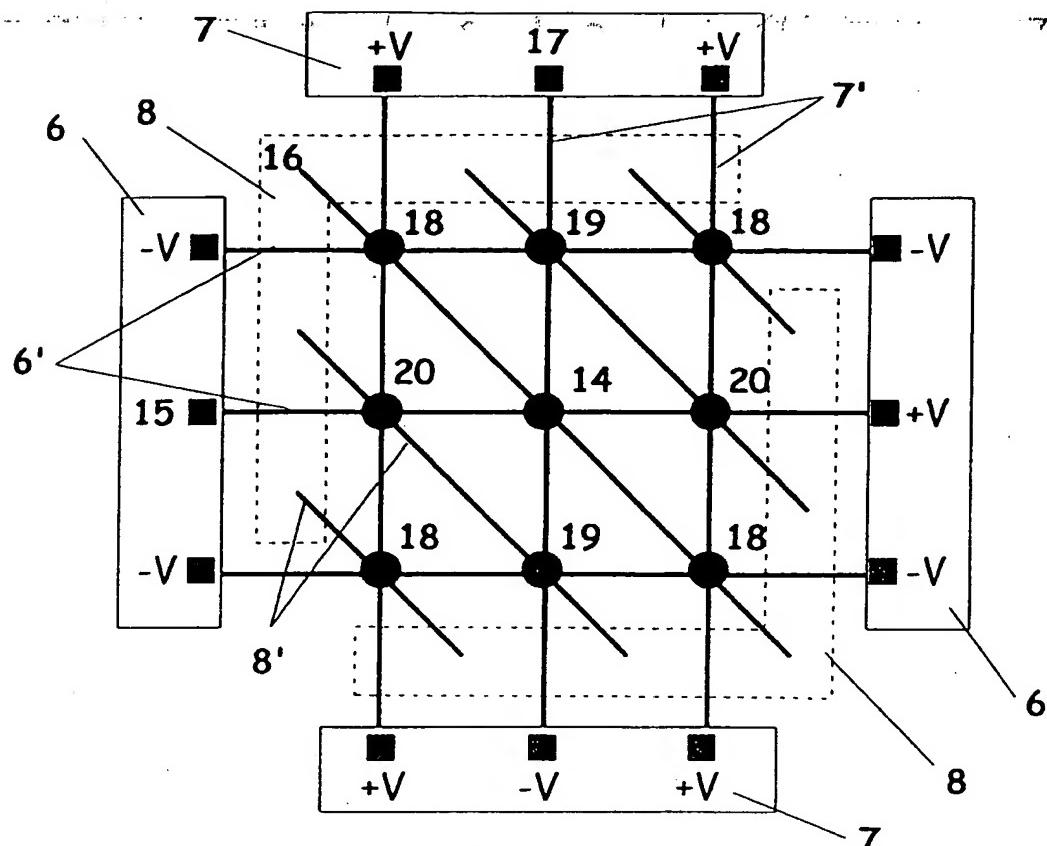


figure 7A

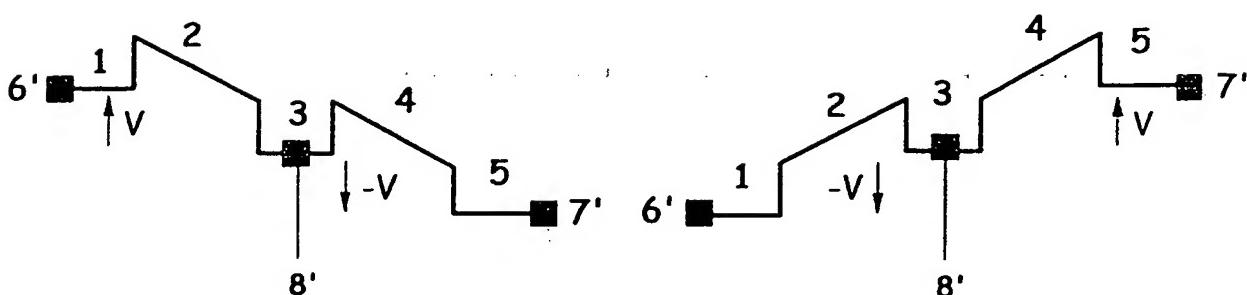


figure 7B

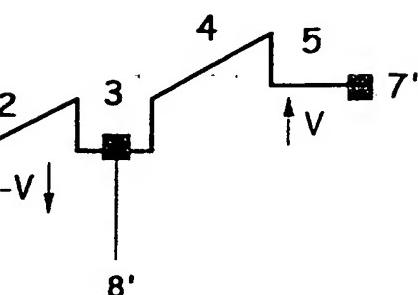


figure 7C

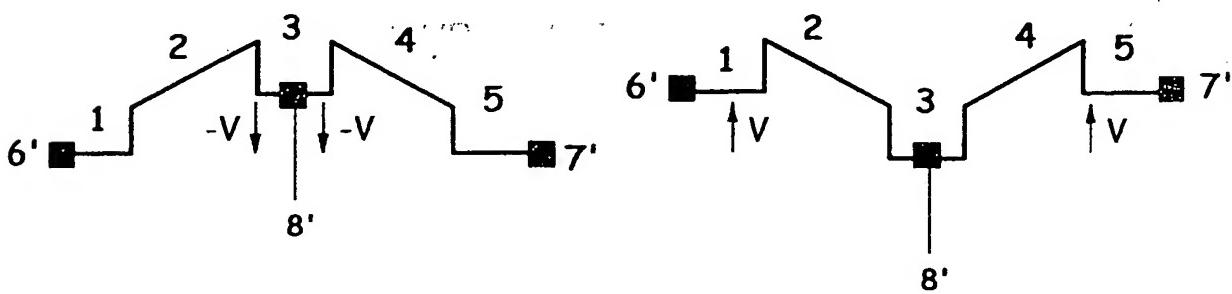


figure 7D



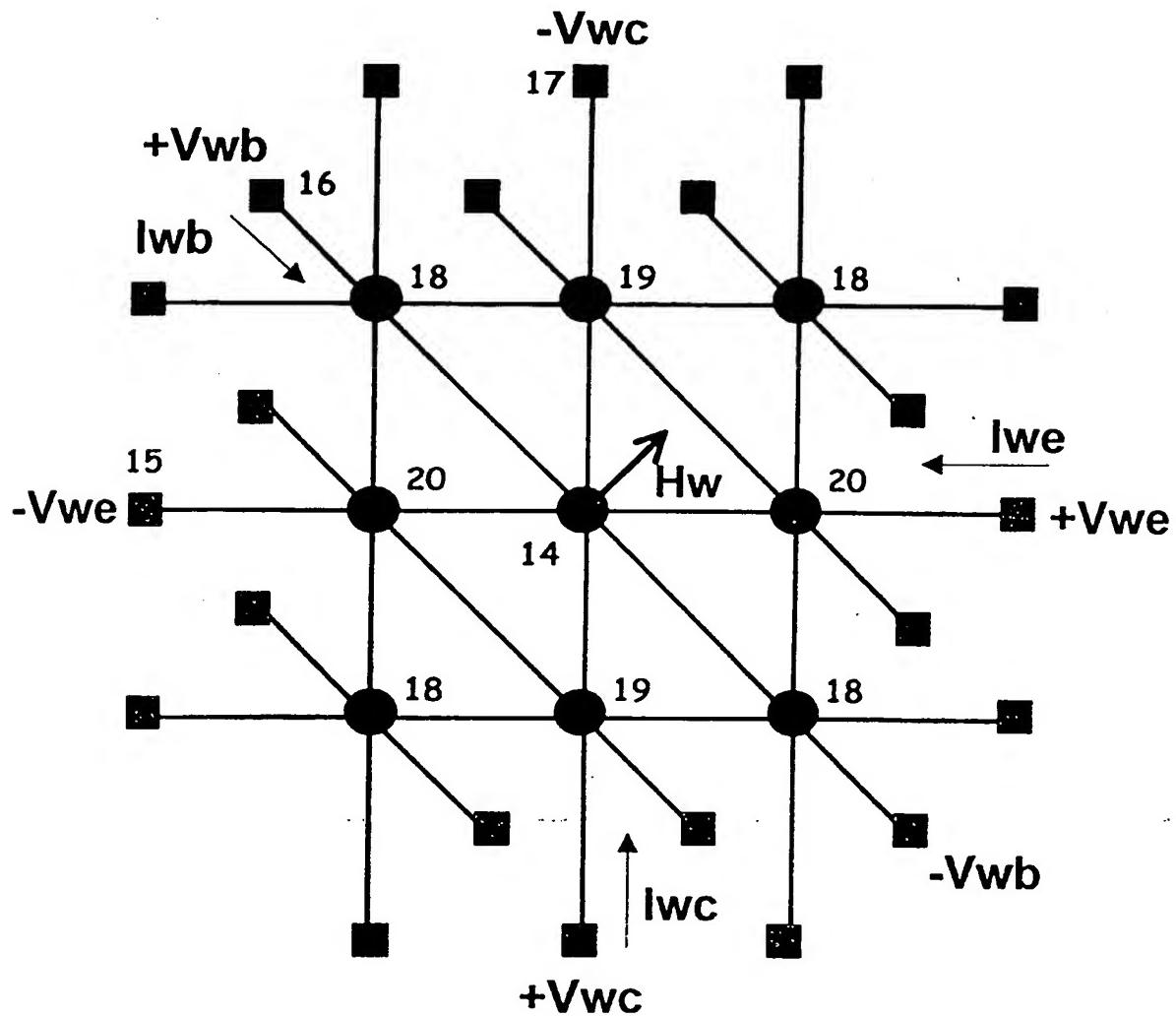


figure 8

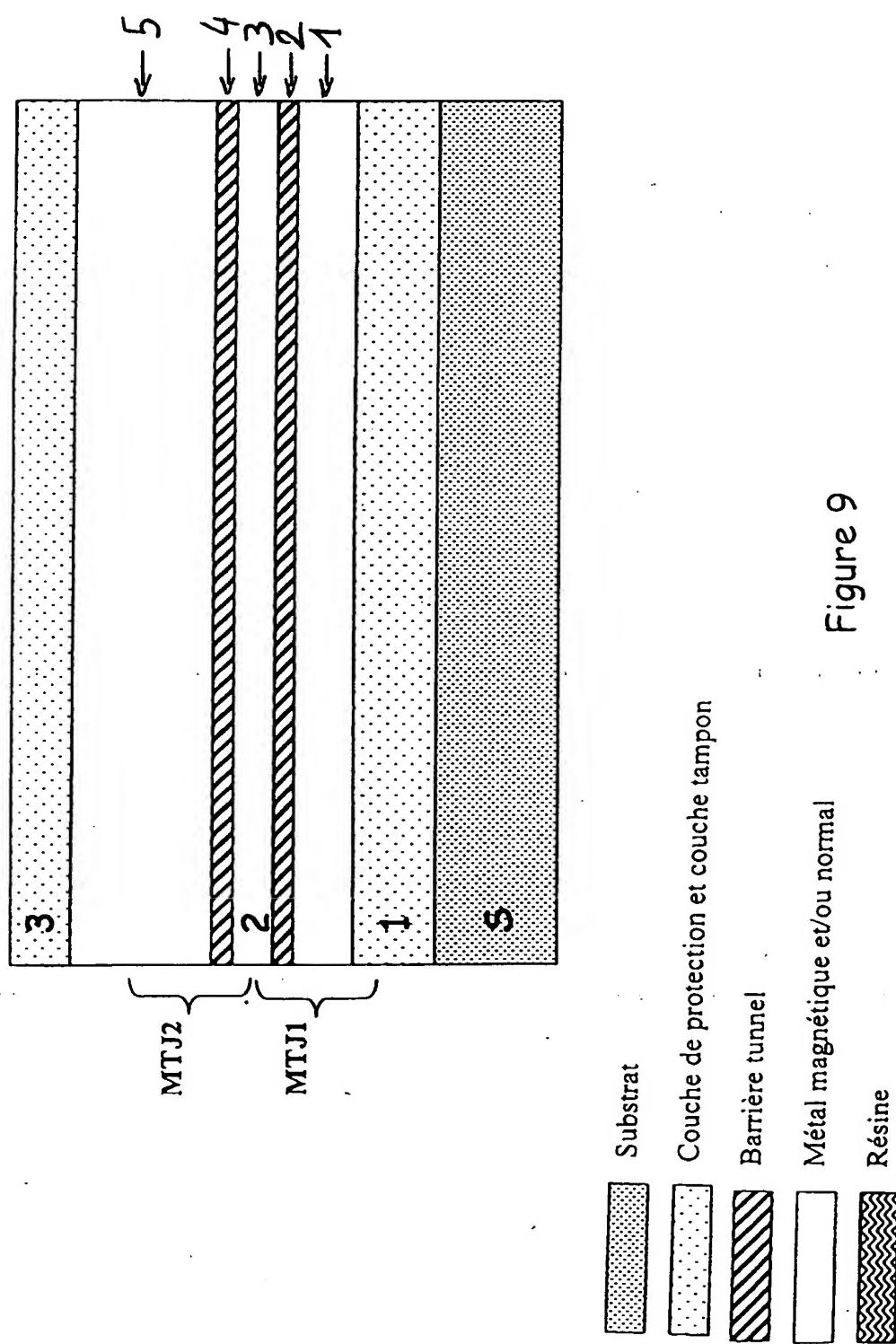


Figure 9

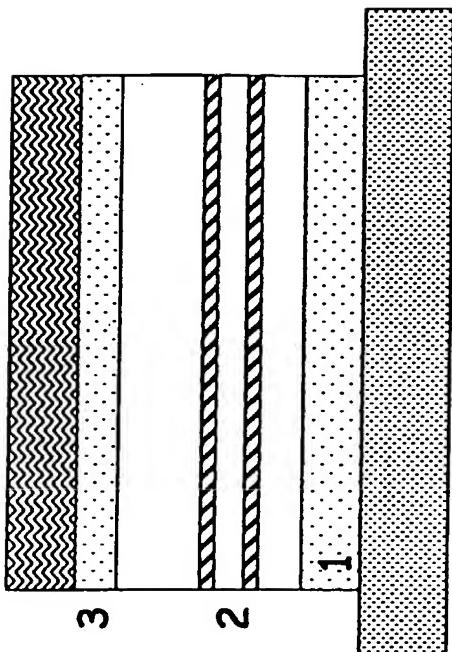


Figure 10A

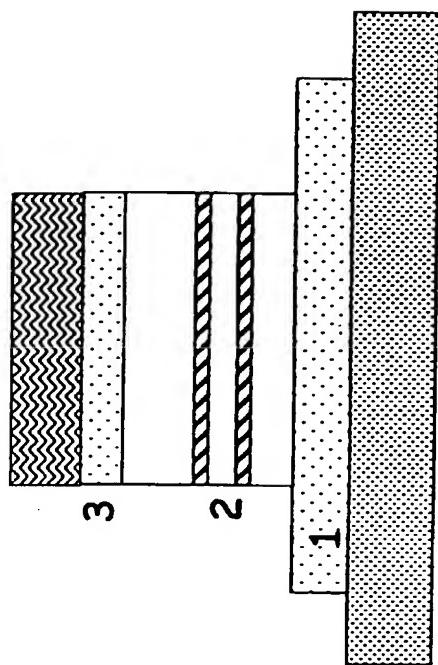
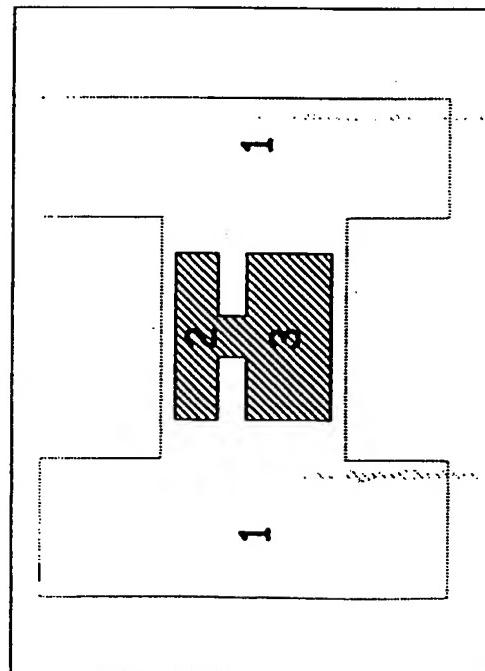
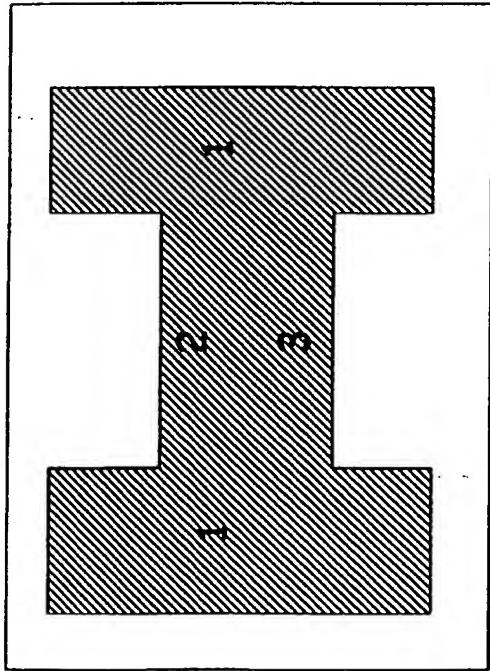


Figure 10B

Figure 10



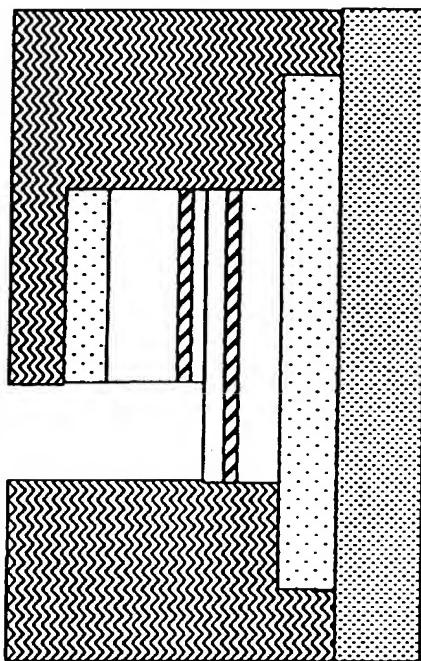


Figure 10C

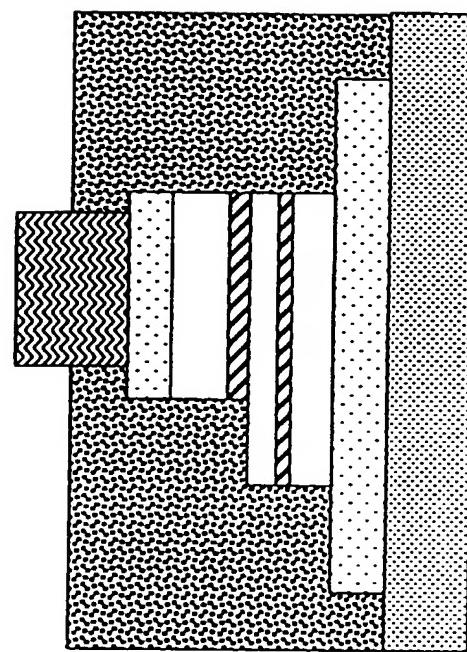


Figure 10D

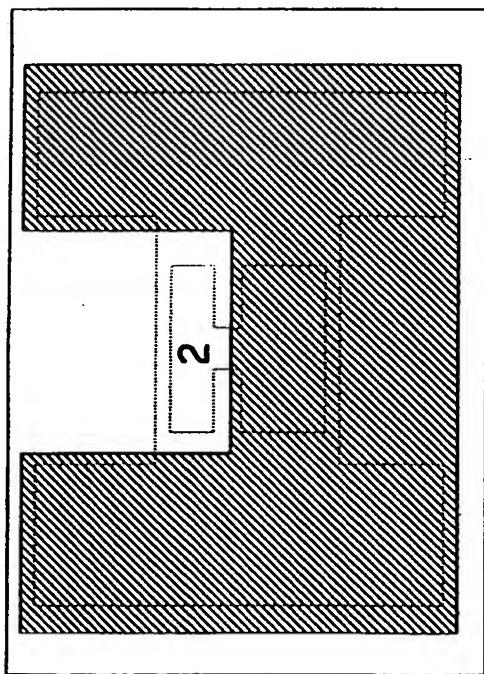
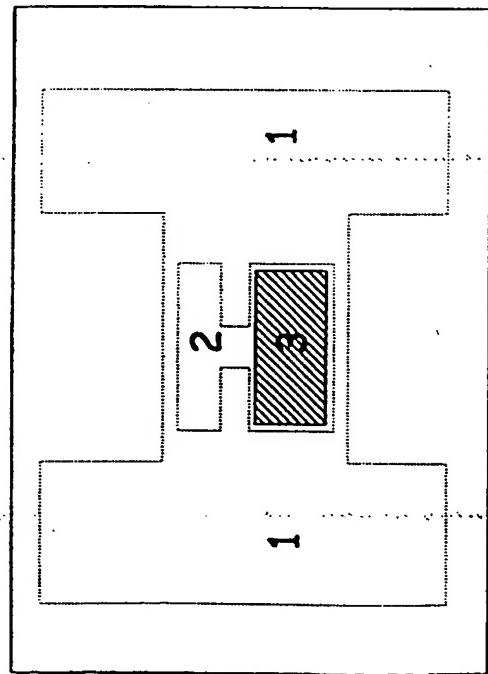


Figure 10



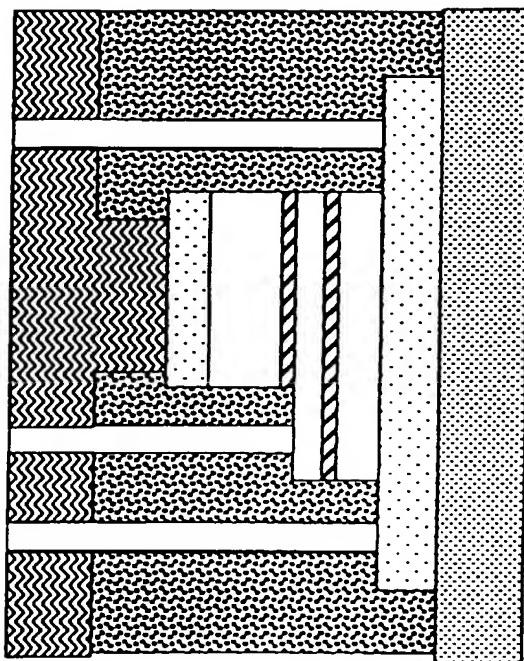
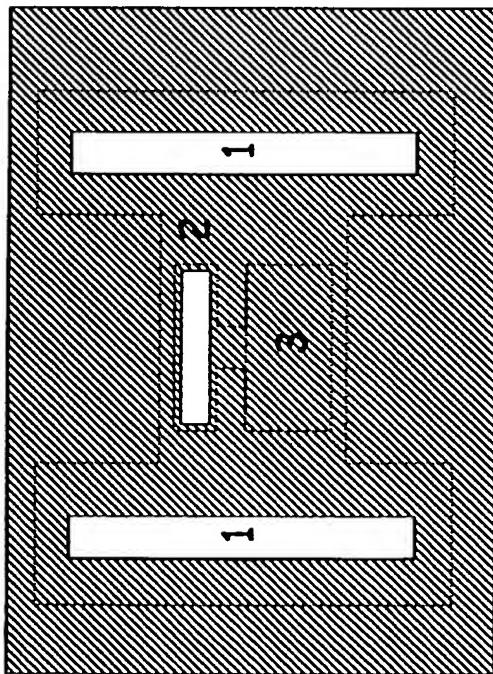


Figure 10E



Pour les masques

- Zone opaque aux UV
- Zone transparente UV

Figure 10

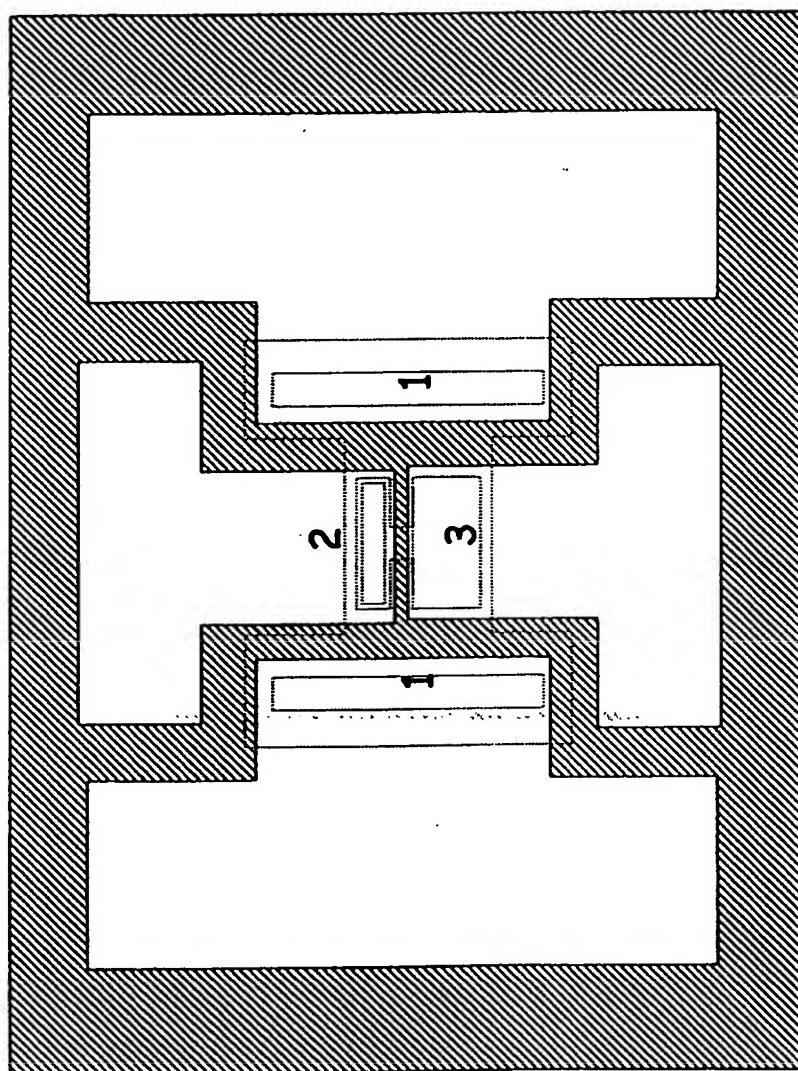


Figure 10

Figure 10F

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/00648

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L45/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	FR 2 743 930 A (FUJITSU LTD) 25 July 1997 (1997-07-25) page 19, line 18-34; figure 1	1
A	US 5 757 056 A (CHUI SIU-TAT) 26 May 1998 (1998-05-26) abstract; figure 1	1

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the International search

29 May 2000

Date of mailing of the International search report

06/06/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Pelsers, L

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inte. onal Application No

PCT/FR 00/00648

Patent document cited in search report	Publication date	Patient family member(s)		Publication date
FR 2743930 A	25-07-1997	JP	9199769 A	31-07-1997
		JP	9251618 A	22-09-1997
		JP	9283816 A	31-10-1997
		DE	19701509 A	24-07-1997
US 5757056 A	26-05-1998	EP	0948819 A	13-10-1999
		WO	9824163 A	04-06-1998

RAPPORT DE RECHERCHE INTERNATIONALE

Date: 3 International No

PCT/FR 00/00648

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

CIB 7 H01L45/00

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTÉ

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDÉRÉS COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	FR 2 743 930 A (FUJITSU LTD) 25 juillet 1997 (1997-07-25) page 19, ligne 18-34; figure 1	1
A	US 5 757 056 A (CHUI SIU-TAT) 26 mai 1998 (1998-05-26) abrégé; figure 1	1



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant poser un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

29 mai 2000

Date d'expédition du présent rapport de recherche internationale

06/06/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Pelsers, L

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dom Internationale No

PCT/FR 00/00648

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
FR 2743930 A	25-07-1997	JP 9199769 A JP 9251618 A JP 9283816 A DE 19701509 A	31-07-1997 22-09-1997 31-10-1997 24-07-1997
US 5757056 A	26-05-1998	EP 0948819 A WO 9824163 A	13-10-1999 04-06-1998